

DOI:10.11918/202306069

基于自适应衬偏补偿和交流增强的超大面阵 红外探测器高线性高速读出电路研究

郭仲杰, 王彬, 许睿明, 刘绥阳

(西安理工大学 自动化与信息工程学院, 西安 710048)

摘要: 针对超大面阵红外探测器读出过程中存在的线性度和帧频受限问题, 提出一种可实现高速高线性读出的解决方案, 采用像素内高效相关双采样 (correlated double sampling, CDS) 方法优化读出电路噪声特性, 并输出 CDS 电压至列总线; 通过交流增强技术实现对列总线寄生电容的快速建立, 同时在列总线终端采用自适应衬偏补偿方法消除像素源极跟随器带来的非线性。基于 55 nm 工艺在低温 110 K 下的 8 192 × 8 192 面阵红外探测器读出电路中进行全面实验验证, 结果表明, 相较于传统读出电路, 输出摆幅从 2 V 提升至 3.3 V, 满阱容量从 4.3 Me⁻ 提升为 6 Me⁻, 行时间从 20 μs 减小为 2 μs, 线性度从 96.9% 提升至 99.98%。芯片整体功耗为 1.6 W, 读出优化电路在加速读出模式下的单列功耗为 33 μW, 非线性校正模式下为 16.5 μW。

关键词: 红外读出电路; 相关双采样; 高线性; 高帧率; 高摆幅; 高动态范围

中图分类号: TN215

文献标志码: A

文章编号: 0367-6234(2026)03-0046-09

Research on high-linearity and high-speed readout circuit of ultra-large array infrared detector based on adaptive body-bias compensation and AC enhancement

GUO Zhongjie, WANG Bin, XU Ruiming, LIU Suiyang

(Department of Electronic Engineering, Xi'an University of Technology, Xi'an 710048, China)

Abstract: In order to solve the problem of limited linearity and frame rate in the ultra-large array infrared (IR) detector readout process, this paper proposed a high-speed and high-linearity readout method. The readout circuit noise characteristics were optimized by adopting an efficient correlated double sampling (CDS) method within pixels, and the CDS voltage was output to the column bus. By employing an alternating current (AC) enhancement technique, the parasitic capacitance of the column bus was rapidly settled, while an adaptive body-bias compensation method was applied at the column bus termination to eliminate the nonlinearity introduced by the pixel source follower. A comprehensive experimental verification was conducted in the readout circuit of an 8 192 × 8 192 array IR detector based on the 55 nm process at a low temperature of 110 K. The results show that in comparison with a traditional readout circuit, the output swing is increased from 2 V to 3.3 V, and the full-well capacity is increased from 4.3 Me⁻ to 6 Me⁻. The row time is reduced from 20 μs to 2 μs, and the linearity is improved from 96.9% to 99.98%. The overall power consumption of the chip is 1.6 W, and single column power consumption of the readout optimization circuit is 33 μW in the accelerated readout mode and 16.5 μW in the nonlinear correction mode.

Keywords: infrared readout circuit; correlated double sampling; high linearity; high frame rate; high swing; high dynamic range

红外探测器广泛应用于军事与民用领域, 目前正朝着更大面阵、更小像元、更高性能的方向发展。对于千万像素到亿级像素的超大面阵红外探测器, 由于像素面积的严格限制、超长列总线引发的显著寄生效应以及低温下器件参数恶化等多重挑战下, 光电探测的高速高精度读出尤为困难, 尤其是读出

过程中的线性度与帧频等核心技术指标难以提升。

近年来, 关于红外探测器的高速和高线性读出的研究较多, 但适用于超大面阵读出电路的解决方案较少, 且都存在一定的局限性。文献[1-2]通过像素中的源极跟随器与列上源极跟随器构成运算放大器接成模拟缓冲器, 理论线性度可达 99.92%, 但

收稿日期: 2023-06-20; 录用日期: 2023-07-18; 网络首发日期: 2024-06-24

网络首发地址: <https://link.cnki.net/urlid/23.1235.T.20240622.1015.006>

基金项目: 国家自然科学基金面上项目(62171367); 陕西省重点研发计划项目(2021GY-060); 陕西省创新能力支撑计划项目(2022TD-39)

作者简介: 郭仲杰(1982—), 男, 教授, 博士

通信作者: 郭仲杰, zjguo@xaut.edu.cn

在超大面阵下,列总线寄生会导致该运放失效,且需额外引入一条列总线;文献[3]采用二极管连接型MOS管抬升NMOS源极跟随器损失的栅源电压,但由于结构不对称且每列多引入一根列总线,因此实际校正效果有限;文献[4-5]中提出利用非线性斜坡来消除像素输出非线性的方案,适用于大面阵读出电路,并达到99.95%的线性度,但需要高精度ADC与DAC,带来了较大的面积及功耗开销,且没有对读出速度进行优化;文献[6]研究了列总线寄生对读出速度的影响,但未提出有效解决方案;文献[7]提出了一种列共享的加速结构,但需额外引入一条列总线传输采样电流至信号处理端,而且这根额外引入的列总线本身同样存在稳定时间较慢的问题,效果不佳。前期研究的大面阵图像传感器加速读出电路^[8]虽取得了很好的加速效果,但是每次读出的复位信号都是虚拟像素(dummy pixel)上的固定复位信号,导致像素固定图形噪声(fixed-pattern noise, FPN)无法很好地消除。文献[9]面阵规模为 $26\ 112 \times 15\ 000$,采用双侧读出技术,帧频为1 fps;文献[10-11]的面阵规模分别为 $15\ 360 \times 15\ 360$ 、 $2\ 304 \times 2\ 304$,采用常规读出技术,帧频分别为10 fps和12 fps,极大限制了读出电路的应用场景。

针对上述问题,本文提出面向超大面阵红外探测器的高速高线性电路设计优化方案,该电路由内置相关双采样的直接注入(correlation double sampling direct injection, CDS DI)型像素和列级读出优化电路构成。通过在像素内进行CDS操作,解决了传统直接注入(direct injection, DI)型像素在全局曝光下“伪CDS”(即积分信号和复位信号不是同一帧)的问题,并在像素阵列外通过列级读出优化电路解决像素输出线性度较低以及大面阵下列总线寄生导致的信号建立时间长的问题。

1 红外探测器读出电路架构

红外探测器读出电路为数模混合的电路系统,其模拟模块主要包含像素单元阵列、读出优化电路、模数转换器、低压差分信号接口、偏置电路及锁相环等;数字控制电路包括Y地址译码等。像素输出信号经读出优化电路后,由ADC转换为数字信号,再经数字模块处理后输出。其中,像素的线性度决定了整个读出线性的上限。ADC的转换时间可达 400 ns ^[12],而大面阵下列总线信号的建立时间

通常在微秒量级,因此,像素输出到列总线信号的读出速率决定了整个芯片的帧频。

本文设计的读出电路需要工作在低温110 K环境,MOSFET的阈值电压 V_{TH} 会上升40%。在大面阵小像元的约束下,超大面阵红外读出电路往往使用NMOS管DI型像素以获得较高的填充因子。然而,在低温下阈值电压的升高使得NMOS源极跟随器受体效应的影响更大,导致像素输出存在显著的非线性以及直流电平损耗。

超大面阵红外读出电路的读出速度和帧率主要受限于列线上巨大的寄生电容与电阻所引起的延时。图1所示为列总线寄生示意图,在 $8\ 192 \times 8\ 192$ 规模下,列线长度达到近100 mm,导致列总线信号上升及下降时间显著延长。

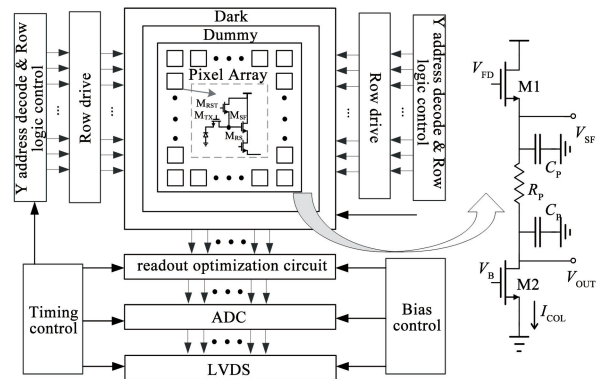


图1 列总线寄生模型

Fig. 1 Parasitic model of column bus

2 红外读出电路非理想效应

2.1 NMOS型直接注入像素结构的局限性

红外读出电路中常用的DI型像素电路如图2所示。该电路可以实现在全局曝光下兼容边积分边读出(IWR)和先积分后读出(ITR)模式,但其在全局曝光下实现的是“伪CDS”,信号相关性较差,无法有效消除随机复位噪声。

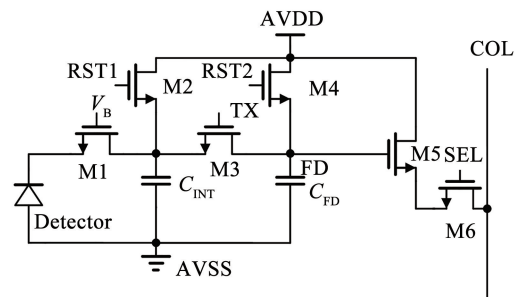


图2 直接注入型像素结构

Fig. 2 Direct injection pixel structure

实际应用中 NMOS 源极跟随器输出 V_{OUT} 无法随 V_{FD} 线性跟随。考虑衬底偏置效应,小信号增益为: $A_V = g_m / (g_m + g_{mb})$ 。

$$V_{TH} = V_{TH0} + \gamma(\sqrt{|2\Phi_F + V_{SB}|} - \sqrt{|2\Phi_F|}) \quad (1)$$

$$V_{OUT} = V_{FD} - V_{TH} - V_{OD} \quad (2)$$

式(1)中, V_{SB} 为 NMOS 源极跟随器的源极-衬底电压; V_{OD} 为 NMOS 源极跟随器的过驱动电压; γ 是体效应系数; V_{TH0} 为 $V_{SB} = 0$ 时 NMOS 的阈值电压; 在工艺确定的条件下 Φ_F 为定值。根据上式, NMOS 源极跟随器的 V_{TH} 与 V_{SB} 有关, 而 $V_{SB} = V_{OUT}$, 此时源极跟随器的栅源电压 V_{GS} 不再是恒定的。

对于不同的输入信号, 源极跟随器输出电压差值 ΔV_{OUT} 为

$$\begin{aligned} \Delta V_{OUT} &= V_{OUT1} - V_{OUT2} = \Delta V_{FD} - \Delta V_{TH} = \\ &\Delta V_{FD} - \gamma(\sqrt{|2\Phi_F + V_{OUT1}|} - \sqrt{|2\Phi_F + V_{OUT2}|}) \end{aligned} \quad (3)$$

其中 ΔV_{FD} 为两次源极跟随器栅电压的差值, 从式(3)中可以看出, 两次栅极电压 V_{FD} 经源极跟随器读出后产生的非线性部分 $\Delta V_{TH_{nonlinear}}$ 为

$$\Delta V_{TH_{nonlinear}} = \gamma(\sqrt{|2\Phi_F + V_{OUT1}|} - \sqrt{|2\Phi_F + V_{OUT2}|}) \quad (4)$$

随着读出电压增大, 非线性部分的影响愈发显著, 严重降低读出电路的线性度及红外探测器的成像质量。尤其在 110 K 低温下, 本次设计使用的 3.3 V NMOS 阈值电压较常温下提升 300 mV, 导致衬底偏置效应引发的非线性响应影响更严重。

2.2 寄生电容与电阻对输出的影响

超大面阵红外读出电路的超长列总线会引入寄生电阻 R_p 与寄生电容 C_p 。其中寄生电阻 R_p 主要导致直流电平移位, 在固定列偏置电流下, 该电压损耗为定值^[13], 如公式(5)~(6)所示:

$$V_{OUT} = V_{FD} - V_{CS1} - I_{COL} \times R_p \quad (5)$$

$$\Delta V_{OUT} = V_{OUT2} - V_{OUT1} = V_{SF2} - V_{SF1} \quad (6)$$

因此, 重点考虑寄生电容 C_p 引发的信号建立时间问题。当列线输出 CDS 电压时, 源极跟随器为寄生电容充电, I_C 为列总线上的充电电流; V_{OD1} 为源极跟随器 M1 的过驱动电压; $V_{DS2 \min}$ 为电流镜的最小过驱动电压; C_{PL} 为列线上的总寄生电容; K_1 为 M1 的增益因子, $K_1 = \mu_n C_{ox} (W/L)_1$, μ_n 是电子迁移率, C_{ox} 为单位面积栅氧化层电容, $(W/L)_1$ 是 M1 的宽长

比, 充电时间 T_C 可以表示为

$$T_C = \frac{C_{PL} \Delta V}{I_C} = \frac{C_{PL} (V_{OUT} - V_{DS2 \min})}{K_1 V_{OD1}^2 - I_{COL}} \quad (7)$$

随着输出电压的升高, 充电电流 I_C 减小, 信号上升速度降低。当列线完成 CDS 信号传输后, 寄生电容 C_{PL} 通过列偏置电流放电, 放电时间 T_D 为

$$T_D = \frac{C_{PL} (V_{OUT} - V_{DS2 \min})}{I_{COL}} \quad (8)$$

因此, 若要加快列读出速度, 最直接的方法是增大列线偏置电流, 但会导致功耗大幅增加, 合理解决方案是为列线提供额外的动态电流以实现充放电加速。

3 超大面阵红外探测器高线性高帧频解决方案

为解决超大面阵红外读出电路中存在的传统 DI 型像素电路的缺陷以及超大寄生引发的信号建立问题, 本文提出的新型读出电路通过像素内 CDS 只输出 CDS 电压至列总线, 相比于传统 DI 像素输出两个电压信号, 缩短了行时间, 再通过列级读出优化电路对列总线电压信号建立加速及非线性校正, 最终达到高帧率、高线性的设计指标。

3.1 CSDSI 型像素电路设计

本文提出的 CSDSI 型像素如图 3(a) 所示, DET 为碲镉汞 (MCT) 红外二极管; C_1 、 C_2 、 C_3 为采样电容; V_B 开关和 V_{COM} 共同决定探测器 DET 的偏置电压, 进而控制积分电流的大小; C_2 存储当前帧的复位电压 V_{RST} , C_3 存储当前帧信号电压 V_{SIG} , 通过 C_3 上极板把 C_2 下极板电压抬升为 V_{RST} , 从而将当前帧 CDS 电压存储在 C_2 下极板; 下一帧复位时, 复位电压存入 C_2 , 实现全局曝光下 DI 输入级电路内的真 CDS 功能。为了保证当 CDS 电压很低时仍然可以正常读出, 像素的电源电压设计为 4.3 V, GND 电压设计为 1 V, 使像素最终的输出电压达到 3.3 V 的满摆幅。而像素面阵是独立供电, 所以比较容易实现。

CSDSI 型像素的具体工作时序如图 3(b) 所示。每一帧开始时, 首先进行全局复位操作, 此时 V_B 、RST1、RST2、FS1、FS2 导通, C_1 、 C_2 存储当前帧的复位电压 V_{RST} ; 接着进行全局积分操作, V_B 导通 C_1 中存储当前帧信号电压 V_{SIG} ; 然后进行电荷转移, FS1、SW 以及 FS2 导通, C_1 中电荷转移到 C_3 中; 随后 RST2、FS2 导通, 其余开关均断开, 进行像素内 CDS

操作, C_3 上极板电压为 V_{RST} , C_3 底极板电压为 $V_{RST} - V_{SIG}$,实现像素内的真 CDS 操作(积分与复位信号为同一帧);最后 SEL 导通,通过源极跟随器 SF 将 C_3 底极板的 CDS 电压逐行读出到列线。

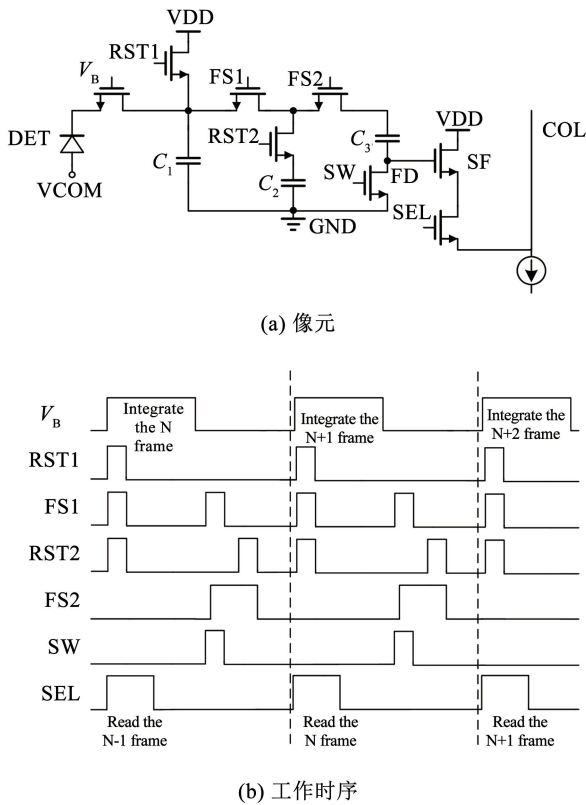


图3 CSDSI 型像元及工作时序

Fig. 3 CSDSI pixel and operating timing

本次设计的像素大小为 $10 \mu\text{m} \times 10 \mu\text{m}$, C_1 、 C_2 为 MOS 电容, C_3 采用金属 2 和金属 3 的 MOM 电容在 MOS 管上方实现,其中 C_1 为 296 fF,满阱容量计算公式如式(9)所示,因此本次设计像素的满阱容量为 6 Me^- 。

$$N_{\text{full well}} = \frac{C_1 V_{\text{out swing}}}{q} \quad (9)$$

对比文献[14]中的传统 DI 型像素结构,摆幅从 2 V 提升为 3.3 V,满阱容量从 4.3 Me^- 提升为 6 Me^- ,且在像素内集成 CDS 功能,一方面省去了后级的 CDS 电路,降低了系统面积及功耗;另一方面,相较于传统的 DI 像素结构读出复位和积分两个电压信号,本文提出的 CSDSI 型像素电路只输出一个 CDS 电压,使读出速率加快一倍。

3.2 基于自适应衬偏补偿和交流增强的列级读出优化电路

针对超大面阵红外读出电路中存在的非线性和信号建立缓慢这两大瓶颈问题,提出具备非线性校

正和加速读出双重功能的列级读出优化电路。在加速读出工作模式下,电路通过运放构成交流增强环路,为列总线提供动态大电流以加速信号建立;在列总线的信号建立完成后,电路切换至非线性校正模式下,通过负反馈环路对源极跟随器进行自适应衬底偏置补偿,以校正非线性。

图 4 为本文提出的列级读出优化电路结构。

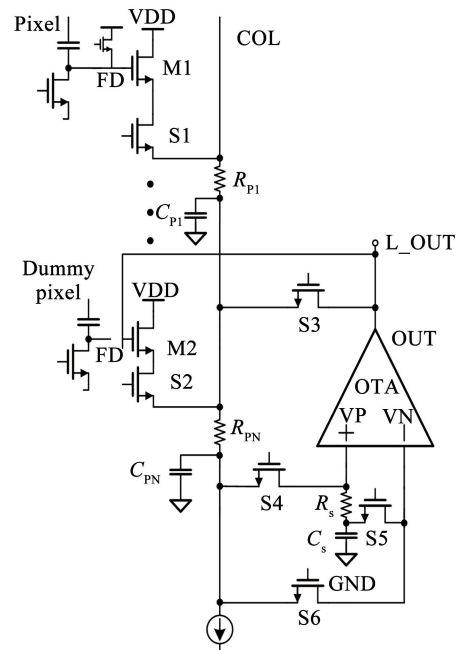


图4 列级读出优化电路结构

Fig. 4 Column-level readout optimization circuit structure

通过 NMOS 开关 S1 ~ S6 控制电路的工作模式:当开关 S1、S3、S4、S5 导通(其余关断)时,电路为加速读出模式;当开关 S2、S6 导通(其余关断)时,电路为非线性校正模式。电路中的核心运算放大器采用文献[15]提到的低温轨对轨输入级结构,并结合文献[16]中的摆率增强技术进行设计。当电路处于加速读出模式时,开启摆率增强电路以加快信号建立;当电路处于非线性校正模式时,则关闭摆率增强电路以降低静态功耗。

加速读出模式工作原理:当运算跨导放大器(OTA)两输入端存在压差时,其输出级会产生较大的动态电流,用于对列总线寄生电容进行快速充放电。具体而言,当 S1 导通,选中像素单元的信号被读出,感光像素浮动扩散(FD)节点电压将通过源极跟随器 M1 传输至列总线,但由于超长列线上存在对地的寄生电容 C_p ,所以信号建立缓慢。此时,列线同时为采样电容 C_s 充电,充电电流流过电阻 R_s 产生电压差,使得 OTA 同相端电压 V_p 大于反相端电压

V_N , 导致 OTA 的输出大电流 I_0 注入列总线, 从而实现加速充电。OTA 的输出电流可表示为

$$I_0 = I_s \times A_i = \frac{sC_s V_{OUT}}{1 + sR_s C_s} \times A_i \quad (10)$$

式中, A_i 为 OTA 增益, I_s 为流经 R_s 的电流。结合式 (7), 列线上的充电时间为

$$T_C = \frac{C_p (V_{OUT} - V_{DS2\min})}{K_{nl} V_{OD1}^2 + I_0 - I_{COL}} \quad (11)$$

当 C_s 上电压等于列线输出电压时, R_s 上电流为零, 此时 $V_p = V_N$, 加速过程结束。同理, 当列线输出低电平时, C_s 进行放电, 对比充电阶段, 此时为放电电流通过 R_s , 因此, OTA 反相端电压大于同相端电压, 此时 OTA 输出负电流即寄生电容 C_p 和采样电容 C_s 通过 OTA 放电, 当电容中电压下降至列线电流源最低工作电压 $V_{DS2\min}$ 时, OTA 两端电压相等, 对电容的加速放电过程结束, 电容的放电时间 T_C 可以表示为

$$T_C = \frac{C_p (V_{OUT} - V_{DS2\min})}{I_0 + I_{COL}} \quad (12)$$

由式 (11) 和式 (12) 可以看出, 通过运算放大器输出一个大的动态充放电电流 I_0 为列线寄生电流充电, 可以大大降低列总线信号的上升和下降时间。

文献[8]提出的列加速电路, 只加速读出了感光像素输出的积分信号, 读取的复位信号来自固定的 Dummy 像素, 导致最终输出的差值信号相关性差。本文提出的读出电路在像素中就完成了 CDS, 只需加速读出 CDS 差值电压即可, 从根本上解决之前存在的问题。由于超长列线带来的寄生电容电阻, 在未进行加速优化时, 列线上信号建立时间为 $10 \mu\text{s}$ 左右, 经加速优化后列线的信号建立时间将小于 $1 \mu\text{s}$ 。

非线性校正模式工作原理: 当电路工作于非线性校正模式时, 电路主要由 NMOS 开关 S_6 、 S_2 、Dummy 像素中的源极跟随器、采样电容 C_s 以及 OTA 构成整个非线性校正电路。在加速读出模式结束后, 采样电容 C_s 上存储像素输出电压信号并施加于 OTA 同相端。OTA 与 Dummy 像素的源极跟随器构成负反馈, 使 OTA 同相端 V_p 与反相端 V_N 电压近似相等。因此 Dummy 像素源极跟随器的衬底偏置与上一时刻感光像素源极跟随器相同, 偏置电流均为同一列线电流, 宽长比相同, S_1 与 S_2 为相同的开关管, 因此 OTA 输出的电压 L_{OUT} 为 C_s 的电压 V_{CS}

与 Dummy 像素源极跟随器 M2 的栅源电压 V_{GS2} 之和。由于感光像素源极跟随器 M1 与虚拟像素源极跟随器 M2 的宽长比相同, 版图布局相同, 因此 $V_{GS1} = V_{GS2}$, 最终得出 $L_{OUT} = V_{CS} + V_{GS2} = V_{FD}$, 即 OTA 输出的电压经过非线性校正电路将输出还原为像素 FD 点电压, 实现了对像素源极跟随器衬底偏置效应的自适应补偿。

式 (13)、(14) 为结合列偏置电流恒定的条件, 像素输出不同 CDS 电压 (V_{FD1} , V_{FD2}) 时的表达式:

$$K_1 (V_{G1,FD1} - V_{S1,FD1} - V_{TH1,FD1})^2 = K_1 (V_{G1,FD2} - V_{S1,FD2} - V_{TH1,FD2})^2 \quad (13)$$

$$K_2 (V_{G2,FD1} - V_{S2,FD1} - V_{TH2,FD1})^2 = K_2 (V_{G2,FD2} - V_{S2,FD2} - V_{TH2,FD2})^2 \quad (14)$$

ΔV_{FD} 为 FD 点像素两次输出 CDS 电压的差值, ΔV_{OUT} 为非线性校正电路两次输出电压的差值, 计算结果如式 (15)、(16) 所示:

$$\Delta V_{FD} = V_{G1,FD1} - V_{G1,FD2} = V_{S1,FD1} - V_{S1,FD2} - (V_{TH1,FD1} - V_{TH1,FD2}) \quad (15)$$

$$\Delta V_{OUT} = V_{G2,FD1} - V_{G2,FD2} = V_{S2,FD1} - V_{S2,FD2} - (V_{TH2,FD1} - V_{TH2,FD2}) \quad (16)$$

考虑到实际运算放大器存在失调电压 V_{OS} , M1 与 M2 的源极电压始终存在偏差 V_{OS} , 经非线性校正电路后, 输出电压的误差为式 (17):

$$\Delta V_{FD} - \Delta V_{OUT} = \gamma (\sqrt{|2\Phi_F + V_{S1,FD1}|} - \sqrt{|2\Phi_F + V_{S1,FD2}|}) - \gamma (\sqrt{|2\Phi_F + V_{S1,FD1} - V_{OS}|} - \sqrt{|2\Phi_F + V_{S1,FD2} - V_{OS}|}) \quad (17)$$

此时非线性部分分为两项相近值的差值, 非线性影响大幅减小。

超大面阵读出电路中不同列的偏置电流匹配性较差, 前期研究通过使用源极跟随器、OTA 以及面阵外的镜像源极跟随器构成负反馈环路, 将输出电压抬升镜像源极跟随器的 V_{CS} [17], 但此结构存在两大问题: 一是每列额外引入一路电流, 二是像素面阵中源极跟随器与面阵外源极跟随器以及电流源的失配导致校正效果下降。

本文提出的结构采用 Dummy 像素中的源极跟随器构成反馈环路, 分布在感光像素和暗像素之间, 与感光像素源极跟随器的器件匹配性更好; 通过分时复用列线电流降低功耗, 并且解决了电流源失配问题。

4 验证结果与分析

基于 55 nm CMOS 工艺对研究结果进行物理级验证与分析,图 5 为 8 192 × 8 192 规模超大面阵红外探测器读出电路整体物理版图。像素版图采用 2 × 2 最小单元设计,以更高效地利用版图面积并适配拼接工艺,感光像素外环绕 32 圈暗像素和 Dummy 像素,列级读出优化电路位于像素面阵下方。芯片整体尺寸为 100 mm × 110 mm,而 8 192 列读出优化电路的尺寸为 8 192 × 100 μm × 10 μm,面积仅占芯片总面积的 0.082%。

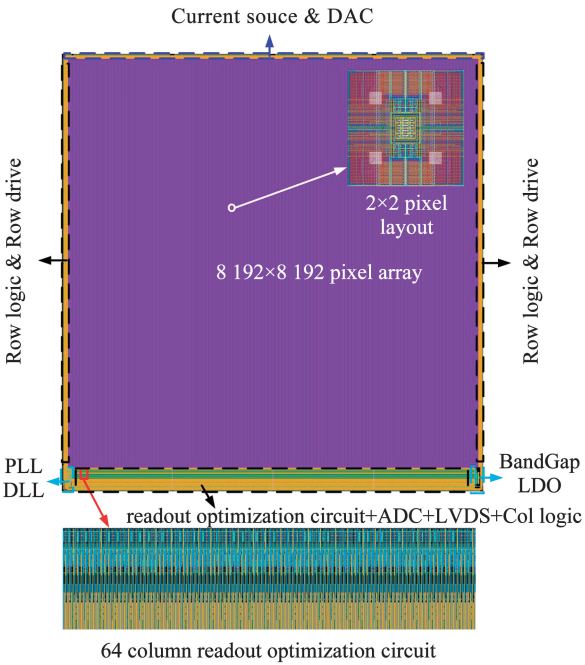


图 5 8 192 × 8 192 读出电路整体版图

Fig. 5 Overall layout of 8 192 × 8 192 readout circuit

基于该版图,通过仿真不同积分电流下像素直接输出与开启读出优化电路输出的结果,验证电路整体性能。读出顺序为:像素输出双采样电压信号 V_{CDS_COL} 时,读出优化电路进入加速建立模式,加速 V_{CDS_COL} 建立;随后读出优化电路切换至非线性校正模式,对 V_{CDS_SU} 信号进行线性化处理输出 V_{CDS_COR} 。图 6 为不同光电流 (CDS 电压由高到低,积分电流为 100 nA, 80 nA, 50 nA) 下的电路后仿真结果,其中 V_{CDS_COL} 为像素直接输出到列线的 CDS 电压; V_{CDS_SU} 为读出优化电路加速建立后的电压; V_{CDS_COR} 为经非线性校正的输出电压。

由仿真结果可以看出,读出优化电路使信号的上升和下降速度提升十余倍。像素电路的输出最高可以达到 3 V,经非线性校正后,摆幅也提升至 3.3 V,

同时补偿了源极跟随器导致的非线性误差。

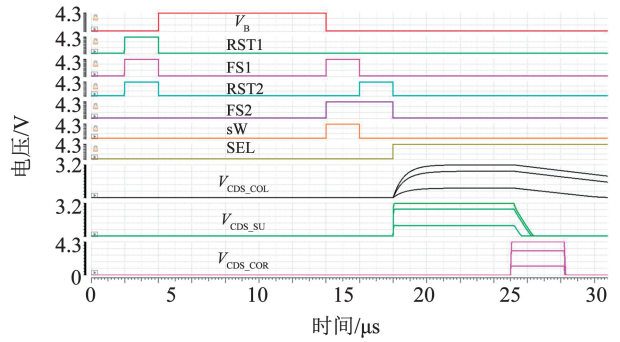
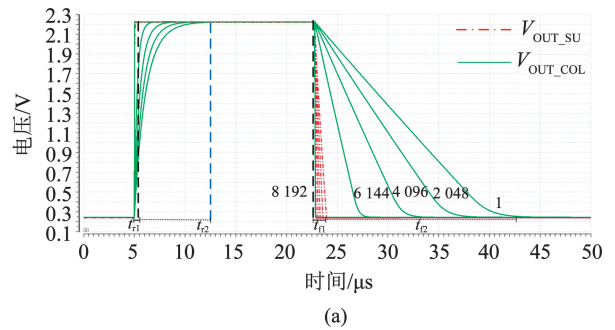


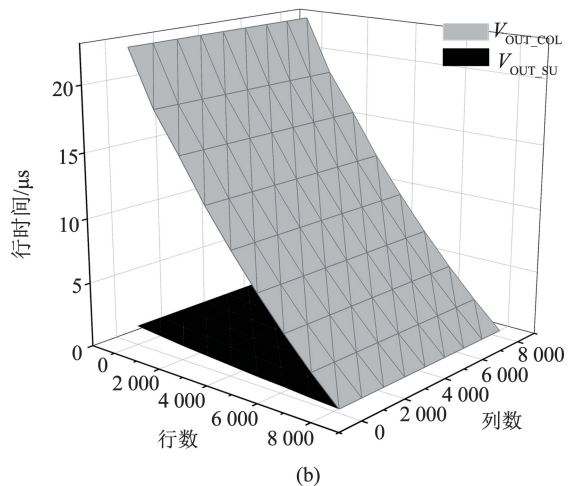
图 6 像素联合读出优化电路仿真结果

Fig. 6 Pixel and readout optimization circuit simulation results

第 1 行像素寄生效应最显著,寄生电容为 42 pF,寄生电阻为 20 kΩ,信号建立时间最长,因此分别仿真验证第 1 行、第 2 048 行、第 4 096 行、第 8 192 行输出的 V_{CDS} 在列线上的建立情况,如图 7 (a) 所示;对比加速前后的行时间,如图 7 (b) 所示。其中 V_{OUT_COL} 为未进行列加速的列线输出, V_{OUT_SU} 为加速后的列线上输出。结果显示,第 1 行像素加速后信号上升时间 $t_{r1} = 493$ ns、下降时间 $t_{f1} = 994$ ns,加速前的上升时间 $t_{r2} = 7$ μs、下降时间 $t_{f2} = 15.7$ μs。加速后读出电路的行时间大幅缩短。



(a)



(b)

图 7 不同行像素和像素阵列输出经读出加速后效果

Fig. 7 Different row pixel and pixel array output after the readout acceleration

数据分析表明,本文提出的读出优化电路加快了列总线信号读出,加速读出模式下功耗为 $33 \mu\text{W}$, 行时间压缩至 $2 \mu\text{s}$, 使 8192×8192 红外读出电路的帧频可达 80 fps , 解决了目前超大面阵红外读出电路帧频不足的技术问题。

通过仿真像素源极跟随器输出 $V_{\text{OUT_SF}}$ 、读出优化电路非线性校正后输出 $V_{\text{OUT_COR}}$ 跟随像素 FD 点电压 V_{FD} 变化的响应曲线, 验证非线性校正效果, 结果如图 8 所示。其中 $\Delta V_{\text{OUT_SF}}$ 为 $V_{\text{OUT_SF}}$ 与 V_{FD} 的差值; $\Delta V_{\text{OUT_COR}}$ 为 $V_{\text{OUT_COR}}$ 与 V_{FD} 的差值。结果显示, $V_{\text{OUT_SF}}$ 随 V_{FD} 变化时, 误差值呈非线性变化, 最大达到了 300 mV , 降低了读出电路的输出摆幅以及线性度; 而 $V_{\text{OUT_COR}}$ 能良好跟随 V_{FD} , 最大误差值为 $300 \mu\text{V}$, 非线性误差电压降低近千倍, 且输出摆幅提升 300 mV 。

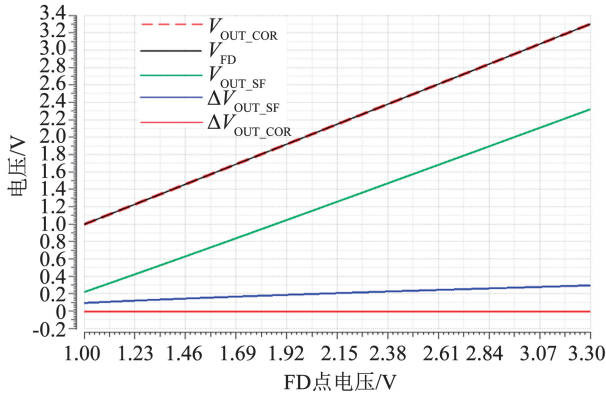


图 8 非线性校正前后电压跟随情况

Fig. 8 Voltage following before and after nonlinear correction
红外读出电路线性度计算公式为

$$\text{Linearity} = 1 - \frac{\Delta V_{\text{max}}}{V_{\text{out swing}}} \quad (18)$$

式中, ΔV_{max} 为最大电压偏差, $V_{\text{out swing}}$ 为满摆幅电压。设置红外探测器等效模型的输出电流为 $100 \text{ pA} \sim 1.4 \text{ nA}$ (读出电路主要工作范围), 积分时间 $680 \mu\text{s}$, 同时考虑前期提出的线性化电路中两电流源 M7、M10 的失配进行蒙特卡洛仿真, 分析像素直接输出电压 $V_{\text{CDS_COL}}$ 、读出优化电路校正后的输出电压 $V_{\text{CDS_COR}}$ 、文献[17]线性化电路输出电压 $V_{\text{CDS_LIN}}$ 和积分电流 I_{ph} 之间的对应关系, 并对数据进行线性拟合(图 9), 拟合曲线和实际仿真数据的差值 ΔV_{CDS} 如图 10 所示。结果显示, 实际输出 $V_{\text{CDS_COL}}$ 数据与拟合数据的最大误差电压为 0.093 V , 输出摆幅为 3 V , 非线性误差为 3.1% , 线性度为 96.9% 。同样计算出输出 $V_{\text{CDS_COR}}$ 线性度为 99.98% ; 输出 $V_{\text{CDS_LIN}}$ 线性度为 98.76% 。

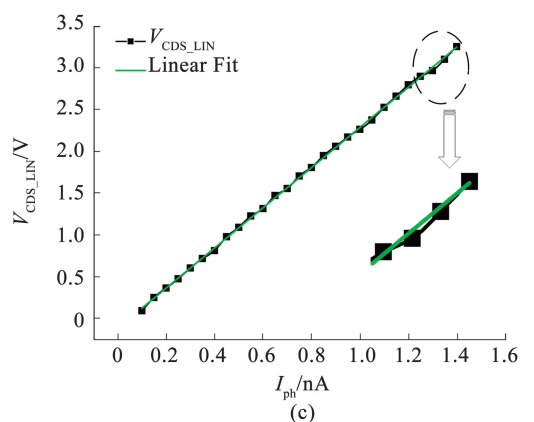
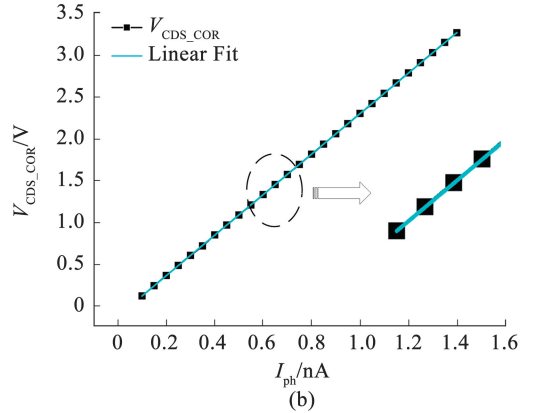
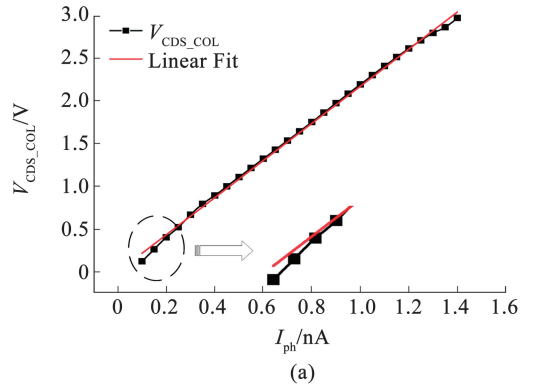


图 9 输出拟合曲线

Fig. 9 Output fitting curve

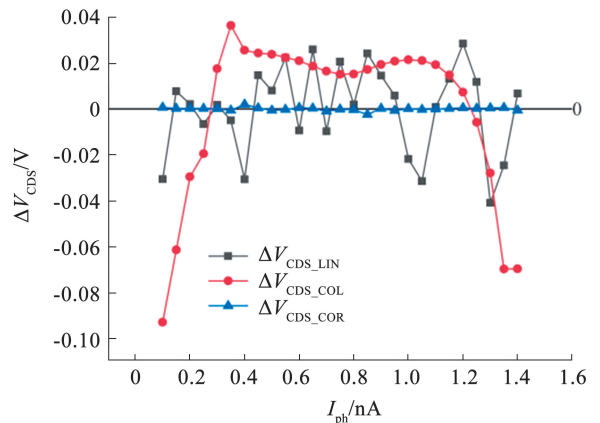


图 10 实际输出与拟合曲线的差值

Fig. 10 Difference between actual output and fitting curve
由结果可知, 文献[17]提出的结构在器件失配

(尤其是两电流源失配)时,非线性校正效果会受到严重制约;而本文提出的结构通过 Dummy 像素源极跟随器复用同一列线电流,不存在两电流源失配导致的校正效果降低的问题。与该结构相比,本文方案不仅提升了线性度,还减少了一路镜像源极跟随器的电流,单列读出优化电路在非线性校正模式下的功耗仅为 $16.5 \mu\text{W}$,占整个芯片功耗的比例不到 0.1%。

读出电路的噪声主要包括空间域噪声和时间域噪声,其中空间域噪声通过 CDS 可以很好地消除,而时间域噪声主要通过器件参数优化和时序改进来抑制。图 11 为本文设计读出电路的噪声仿真结果。1 Hz ~ 1 GHz 的积分噪声为 $7.02 \text{ nV}^2/\text{Hz}$,噪声换算至像素 FD 节点为 $33 e^-$,动态范围(DR)为 85.1 dB,与其他读出电路或线性增强电路相比,没有引入明显的噪声。与其他文献的详细对比见表 1。

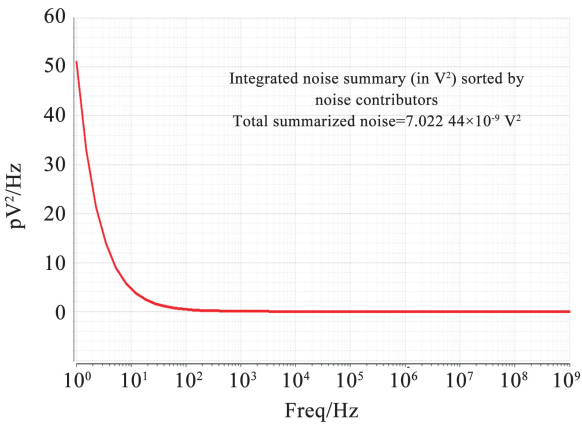


图 11 噪声仿真

Fig. 11 Noise simulation

为更充分地验证电路的可靠性,分别验证了不同 PVT 条件下(温度 80 ~ 120 K,电源电压 2.8 ~ 3.8 V,工艺角 FF、TT、SS),对读出电路的行时间和线性度进行验证,结果如图 12、13 所示。结果显示,读出电路线性度维持在 99.95% ~ 99.99% 之间,行时间维持在 1.3 ~ 1.88 μs 之间。即使在性能最差的工艺角下,也可以保证 99.95% 的线性度以及 1.88 μs 的行时间,表明本文设计的电路具有良好的 PVT 稳定性。

表 1 为本文设计的读出电路与文献[1 - 5]在线性度、噪声等指标上的对比结果。由表可知,本文提出的方案在高线性度和低功耗方面具有明显的优势,单列功耗仅为 $16.5 \mu\text{W}$,线性度高达 99.98%,且并未引入额外的列总线。

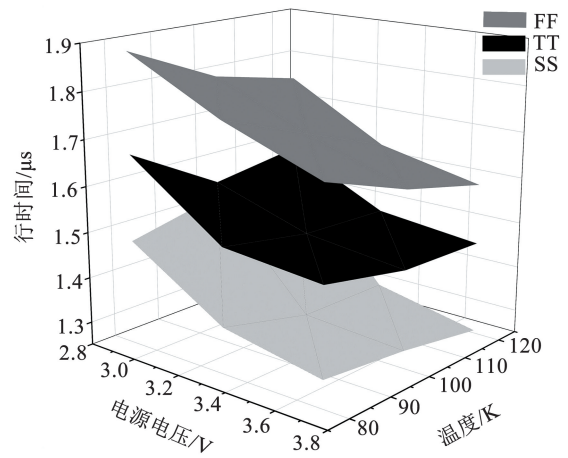


图 12 行时间 PVT 验证

Fig. 12 PVT verification of row time

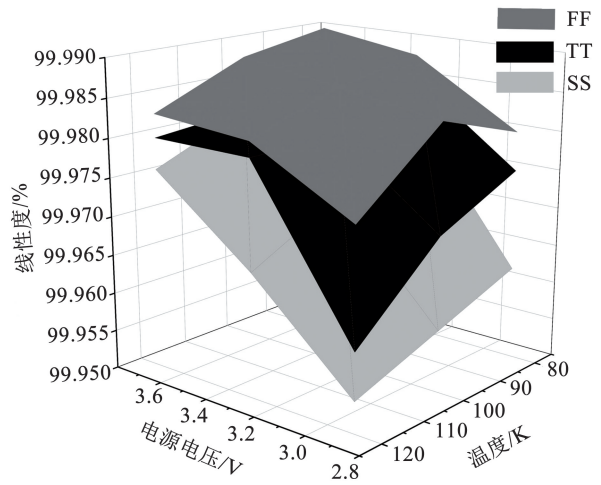


图 13 线性度 PVT 验证

Fig. 13 PVT verification of linearity

表 1 线性度、噪声与其他文献对比

Tab. 1 Linearity and noise compared with other references

文献	单列功耗/ μW	线性度/ %	满阱/ ke^-	读出噪声/ e^-	DR/ dB	额外列 总线
[1]	126	99.92	—	—	—	1
[2]	68	99.7	—	—	—	1
[3]	—	99.89	7000	—	81	1
[4]	96.3	99.95	91.7	7.9	81.3	0
[5]	—	99.97	23.1	3.6	76	0
本文	16.5	99.98	6000	33	85.1	0

表 2 为本文设计的读出电路与文献[9 - 11]在帧率等指标上的对比结果。本文通过读出加速技术使帧频达到 80 fps,远超其他同类型文献,有效地提高了超大面阵红外读出电路的帧率。

表 2 帧率与其他文献对比

Tab. 2 Frame rate is compared with other references

文献	面阵规模	像素尺寸/ μm	工艺/ nm	芯片尺寸/ mm	行时 间/ μs	帧 频/ fps
[9]	26 112 × 15 000	3.9	65	105.2 × 65.63	6.6	1
[10]	15 360 × 15 360	7.5	55	120 × 120	6.5	10
[11]	2 304 × 2 304	55	180	125 × 125	36.2	12
本文	8 192 × 8 192	10	55	100 × 110	2	80

5 结 语

本文提出一种面向 8 192 × 8 192 分辨率红外探测器的高帧率、高线性读出电路的解决方案,包括 CDS 型像素结构和列级读出优化电路。通过列总线反馈并分时复用列总线电流,实现像素输出的加速读出以及非线性校正。在像素中心距 10 μm ,分辨率 8 192 × 8 192,芯片尺寸 100 mm × 110 mm 的设计中,实现了具有 CDS 功能的像素,输出摆幅 3.3 V,满阱容量 6 Me^- ;经列级读出优化电路处理后,读出电路行时间缩短至 2 μs ,在 6 400 万像素下帧频高达 80 fps ,线性度达到 99.98%;读出优化电路加速读出模式下的功耗为 33 μW ,非线性校正模式下为 16.5 μW 。对比已有的研究成果,该电路在线性度、读出速度、功耗等关键指标上均有显著改善,适用于大面阵光电探测器读出电路,为高线性、高帧频大面阵红外读出电路设计提供了切实有效的解决方案。

参考文献

- [1] TEYMOURI M, SOBHI J. An ultra-linear CMOS image sensor for a high-accuracy imaging system [J]. *International Journal of Circuit Theory and Applications*, 2018, 46 (12): 1593. DOI: 10.1002/cta.2485
- [2] TEYMOURI M. A highly linear and high-accurate CMOS image sensor [J]. *Analog Integrated Circuits and Signal Processing*, 2019, 102 (8): 91. DOI: 10.1007/s10470-019-01553-4
- [3] NIU Y, ZHU Y, LU W, et al. A readout structure with double column buses and shared source follower for IRFPAs [J]. *Journal Infrared and Millimeter Waves*, 2020, 39 (3): 324. DOI: 10.11972/j.issn.1001-9014.2020.03.010
- [4] LI C, HAN B, HE J, et al. A highly linear CMOS image sensor design based on an adaptive nonlinear ramp generator and fully differential pipeline sampling quantization with a double auto-zeroing technique [J]. *Sensors*, 2020, 20 (4): 1046. DOI: 10.3390/s20041046
- [5] WANG F, THEUWISSEN A. Pixel optimizations and digital calibration methods of a CMOS image sensor targeting high linearity [J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2018, 66 (3): 930. DOI: 10.1109/TCSI.2018.2872627
- [6] GAO J, ZHANG D, NIE K, et al. Analysis and optimization design of the column bus parasitic effects on large-array CMOS image sensor [J]. *Microelectronics Journal*, 2019, 96: 104681. DOI: 10.1016/j.mejo.2019.104681
- [7] GEORGE S S, BOCKO M F, IGUNJATOVIC Z. Current sensing assisted active pixel sensor for high-speed CMOS image sensors [J]. *IEEE Sensors Journal*, 2015, 15 (8): 4365. DOI: 10.1109/JSEN.2015.2418292
- [8] GUO Z, CHENG X, XU R, et al. A 1 Gpixel 10FPS CMOS image sensor using pixel array high-speed readout technology [J]. *Integration*, 2023, 89: 114. DOI: 10.1016/j.vlsi.2022.12.002
- [9] BOGAERTS J, LAFAILLE R, BORREMANS M, et al. 6.3 105 × 65 mm² 391M pixel CMOS image sensor with >78dB dynamic range for airborne mapping applications [C]//2016 IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, USA: IEEE, 2016: 114
- [10] GUO Z, YU N, WU L. A synchronous driving approach based on adaptive delay phase-locked loop for stitching CMOS image sensor [J]. *IEICE Electronics Express*, 2020, 17 (3): 20190642. DOI: 10.1587/elex.16.20190642
- [11] KIM M, KIM G, CHO G, et al. Development of a 55 μm pitch 8 inch CMOS image sensor for the high resolution NDT application [J]. *Journal of Instrumentation*, 2016, 11 (11): 11016. DOI: 10.1088/1748-0221/11/11/P11016
- [12] GUO Z, WANG Y, XU R, et al. High-speed fully differential two-step ADC design method for CMOS image sensor [J]. *Sensors*, 2023, 23 (2): 595. DOI: 10.3390/s23020595
- [13] XU J, WEI L, NIE K, et al. A method to reduce the effect on image quality caused by resistance of column bus [J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2018, 27 (1): 173. DOI: 10.1109/TVLSI.2018.2870858
- [14] 吴圣娟, 姚立斌, 李东升, 等. 小像元 10 μm 中心距红外焦平面读出电路设计 [J]. *红外技术*, 2021, 43 (9): 902
- WU Shengjuan, YAO Libin, LI Dongsheng, et al. Small pixel 10 μm pitch infrared focal plane array ROIC design [J]. *Infrared Technology*, 2021, 43 (9): 902.
- [15] WANG B, GUO Z, WANG Y, et al. A linearization technique for cryogenic infrared readout circuit [C]//Proceedings of 2022 IEEE 16th International Conference on Solid-State & Integrated Circuit Technology (ICSICT). Nanjing: IEEE, 2022: 1. DOI: 10.1109/ICSICT5466.2022.9963353
- [16] 叶珍华, 杨海钢, 李凡阳, 等. 大电容负载下的高速、低功耗动态摆率增强电路研究 [J]. *微电子学与计算机*, 2012, 29 (12): 75
- YE Zhenhua, YANG Haigang, LI Fanyang, et al. A universal high-speed, low-power dynamic slew-rate enhancement circuit for large capacitance [J]. *Microelectronics & Computer*, 2012, 29 (12): 75. DOI: 10.19304/j.cnki.issn1000-7180.2012.12.017
- [17] GUO Zhongjie, YU Ningmei, WU Longsheng. An improved global shutter pixel with extended output range and linearity of compensation for CMOS image sensor [J]. *Chinese Journal of Electronics*, 2021, 30 (1): 102. DOI: 10.1049/cje.2020.11.007

(编辑 丁晓清)