

DOI:10.11918/202003011

卫星 VCM 数传高效低功耗 LDPC 编码器

康 婧^{1,2}, 安军社¹, 王冰冰^{1,2}, 张伟东^{1,2}

(1. 中国科学院复杂航天系统电子信息技术重点实验室(中国科学院国家空间科学中心), 北京 100190;
2. 中国科学院大学, 北京 100190)

摘 要: 随着空间探测任务需求愈加复杂, 卫星有效载荷传感器精度不断提高, 星地链路传输数据量大幅增加. 为满足近地轨道(low Earth orbit, LEO)卫星可变编码调制(variable coding modulation, VCM)数传系统对高通量、低功耗、高可靠性信道编码应用需求, 提出了一种基于第二代数字视频广播(the second generation digital video broadcast, DVB-S2)标准的快速累加并向递归编码算法, 同时基于此算法提出了一种高效低功耗低密度奇偶校验码(low-density parity-check, LDPC)编码器. 利用输入信息比特随机性以及二进制计算特点简化校验比特中间变量的计算, 降低了编码器的功耗; 通过分析不同 VCM 模式中 LDPC 码的相似性, 重复利用校验比特中间变量计算单元和存储器, 提高了硬件资源利用率; 通过控制模块动态重构编码器兼容 3 种 VCM 模式, 并在保证编码正确性前提下进行模式切换, 提高了编码器的灵活性; 采用与调制方式相匹配的校验比特存储方案按顺序输出 M 个并行比特, 提高了编码数据吞吐率, 具有高效性. 在 Xilinx XC7K325t-3fbg900 FPGA 上对提出的编码器进行了实现, 结果表明: 在 347.5 MHz 系统工作时钟下, 编码数据吞吐率最高可达 1.104 Gb/s, 数据吞吐量较固定编码调制系统(constant coding modulation, CCM)提高了 31.9%, 且该编码器功耗与相同平台同类编码器相比降低了 21.7%.

关键词: LDPC 编码器; VCM; DVB-S2 标准; 低功耗; FPGA

中图分类号: TN911.22

文献标志码: A

文章编号: 0367-6234(2021)02-0014-08

High efficient and low power LDPC encoder for VCM-based satellite data transmissions

KANG Jing^{1,2}, AN Junshe¹, WANG Bingbing^{1,2}, ZHANG Weidong^{1,2}

(1. Key Laboratory of Electronics and Information Technology for Space Systems (National Space Science Center, Chinese Academy of Sciences), Beijing 100190, China; 2. University of Chinese Academy of Sciences, Beijing 100190, China)

Abstract: With the increasing complexity of space exploration requirements and the development of high-resolution payloads, satellite-ground downlink data transmission systems have been requested for transmitting increasing volumes of data. In order to meet the requirements of high throughput, low power, and high reliability for variable coding modulation (VCM) transmission systems of low Earth orbit (LEO) satellites, a new fast accumulated parallel recursive low-density parity-check (LDPC) encoding algorithm based on the second generation digital video broadcast (DVB-S2) standard was proposed, and an efficient encoder with low power was designed. The encoder was lower power consumed by simplifying the intermediate variables of parity-check bits based on the randomness of input information bits and the characteristic of binary operation. By analyzing the similarities between different LDPC codes and reusing the computation units and memories, the utilization of hardware resources was improved. Benefitting from the dynamic encoder structure, the encoder was compatible with three VCM modes, and the correctness was guaranteed when VCM modes changed, which increased the flexibility of the encoder. Furthermore, the new parity-check bits storage schemes that match with the modulation mode could output M parallel bits in sequence and increase the encoder throughput with high efficiency. The proposed encoder design was implemented on the Xilinx XC7K325t-3fbg900 FPGA, and experimental results showed that the maximum encoding throughput was up to 1.104 Gb/s when operating at a system clock of 347.5 MHz, the total throughput was improved by 31.9% compared with the constant coding modulation (CCM) transmission system, and the power consumption of the encoder was reduced by 21.7%.

Keywords: LDPC encoder; VCM; DVB-S2 standard; low power; FPGA

收稿日期: 2020-03-03

基金项目: 中国科学院空间科学先导卫星专项(XDA15320100)

作者简介: 康 婧(1993—), 女, 博士研究生;

安军社(1969—), 男, 研究员, 博士生导师

通信作者: 安军社, anjunshe@nssc.ac.cn

随着空间探测任务需求日益提升, 航天器携带的载荷设备趋于精密多样, 星地链路传输数据量大幅增加. 而大部分对地观测卫星为近地轨道(low Earth orbit, LEO)卫星, 其特点是单次过境时间短,

为保证在有限时间内传输更多数据,星地链路需支持更高的数传速率^[1]. 在传输带宽不变的情况下,通常将高阶调制技术与高效编译码算法相结合来提升数传速率,但同样误码率接收高阶调制信号相较于低阶调制信号需要更大的信噪比,意味着需要提高信号发射功率. 另一方面,LEO 卫星通常采用固定编码调制(constant coding modulation, CCM)数传体制,其按照确保地面天线 5°仰角时的数据接收设计编码调制方式,而卫星过境过程中,由于天气、传输距离变化等原因,星上发射功率并未得到充分利用^[2]. 为充分利用星上发射功率并最大化卫星过境时下载的载荷数据量,可采用可变编码调制(variable coding modulation, VCM)数传体制^[3-4].

目前有两种支持 VCM 的通信标准:一种是蓝皮书中的串行级联卷积码(serially concatenated convolutional codes, SCCC)^[5],另一种是基于欧洲电信标准化协会(European Telecommunication Standards Institute, ETSI)制定的第二代数字视频广播(the second generation digital video broadcast, DVB-S2)标准^[6],其中 DVB-S2 标准采用 BCH(Bose-Chaudhuri-Hocquenghem)为外码,LDPC(low-density parity-check)码为内码的级联编码方式. LDPC 码^[7]由 Gallager 于 1962 年提出,是一种逼近 Shannon 极限的线性分组码^[8],具有译码复杂度低、误码平层

低等优势. 文献[9-16]对 DVB-S2 标准 LDPC 编码进行了研究,其中文献[11]实现了基于 DVB-S2 标准的 LDPC 编码器,设计时将双口 RAM 配置成先读后写模式,同一时刻完成两个校验比特更新,可使编码速率达到 328 Mb/s,但其采用的存储结构最多支持两路并行,不能满足更高传输速率的要求;文献[12]提出了一种新型的校验比特存储方案,设计实现了串行和并行两种编码器,最高编码速率可达 926 Mb/s,但其采用了 45 个 RAM 存储块,需要占用较多逻辑资源实现对 RAM 存储块的读写控制;文献[13-16]基于 DVB-S2 标准非规则重复累积 LDPC 码(Irregular repeated accumulated, IRA-LDPC)的特点,充分利用编码算法中的并行性,实现了吞吐率高达 Gb/s 的编码器,但编码输出不是按顺序输出,需要与较复杂的比特交织模块相结合. 本文基于实际卫星型号任务 VCM 数传应用,提出了一种基于 DVB-S2 标准的快速累加并向递归编码算法,并在 XC7K325t-3fbg900 FPGA 上设计实现了一种高效低功耗 LDPC 编码器.

1 编码算法

1.1 DVB-S2 标准基本编码算法

DVB-S2 标准中采用的 LDPC 码是 IRA-LDPC 码,其校验矩阵为

$$\mathbf{H}_{(n-k) \times n} = [\mathbf{A}_{(n-k) \times k} | \mathbf{B}_{(n-k) \times (n-k)}] = \begin{bmatrix} a_{00} & a_{01} & \cdots & a_{0,k-1} & 1 & 0 & 0 & \cdots & 0 & 0 \\ a_{10} & a_{11} & \cdots & a_{1,k-1} & 1 & 1 & 0 & \cdots & 0 & 0 \\ \vdots & \vdots & & \vdots & \vdots & & \ddots & & \vdots & \\ a_{n-k-2,0} & a_{n-k-2,1} & \cdots & a_{n-k-2,k-1} & 0 & 0 & \cdots & 1 & 1 & 0 \\ a_{n-k-1,0} & a_{n-k-1,1} & \cdots & a_{n-k-1,k-1} & 0 & 0 & \cdots & 0 & 1 & 1 \end{bmatrix}. \quad (1)$$

式中: $\mathbf{B}$ 为下三角阶梯矩阵; $\mathbf{A}$ 为稀疏矩阵,且 $\mathbf{A}$ 的列向量按顺序每 360 列构成一个分组,每个分组第 $j(1 \leq j \leq 360)$ 个列向量中 1 的位置可根据式(2)计算得到.

$$\{d_i + (j-1) \cdot q\} \bmod (n-k), i \in \{1, 2, \cdots, v\}. \quad (2)$$

式中: d_i 为每个分组首列列向量中第 i 个 1 的初始校验地址, v 为此列向量的列重, q 为标准中给出的数值, n 为码长, k 为信息比特长度.

IRA-LDPC 码是系统码,其码字为

$$\mathbf{C} = [\mathbf{I} | \mathbf{P}]. \quad (3)$$

式中 $\mathbf{I} = [i_0 \ i_1 \ \cdots \ i_{k-2} \ i_{k-1}]$ 为信息比特序列, $\mathbf{P} = [p_0 \ p_1 \ \cdots \ p_{n-k-1}]$ 为校验比特序列.

LDPC 编码的实质为在二元域上求解式(4)所

示的线性方程组.

$$\mathbf{H} \cdot \mathbf{C}^T = \mathbf{0}. \quad (4)$$

由于 $\mathbf{B}$ 矩阵的双对角线结构,校验比特可由方程组(5)递归计算得到:

$$\begin{cases} p_0 = a_{00}i_0 \oplus a_{01}i_1 \cdots \oplus a_{0,k-1}i_{k-1}, \\ p_1 = a_{10}i_0 \oplus a_{11}i_1 \cdots \oplus a_{1,k-1}i_{k-1} \oplus p_0, \\ \vdots \\ p_{n-k-1} = a_{n-k-1,0}i_0 \oplus a_{n-k-1,1}i_1 \cdots \oplus \\ a_{n-k-1,k-1}i_{k-1} \oplus p_{n-k-2}. \end{cases} \quad (5)$$

式中 $\oplus$ 为二元域上的加法.

1.2 快速累加并向递归编码算法

由上述分析知,DVB-S2 标准 LDPC 编码的关键就是对方程组(5)的求解,令 $\text{IN}(r)$ 表示与校验节点

r 相连的所有变量节点集合, $CN(c)$ 表示与变量节点 c 相连的所有校验节点集合, 引入中间变量 $S_r = \bigoplus_{z \in IN(r)} i_z, r \in \{0, 1, \cdots, n-k-1\}$, 则方程组 (5) 可重写为:

$$\begin{cases} p_0 = \bigoplus_{z \in IN(0)} i_z = S_0, \\ p_1 = \bigoplus_{z \in IN(1)} i_z \oplus p_0 = S_1 \oplus S_0, \\ \vdots \\ p_r = S_r \oplus p_{r-1} = \bigoplus_{i=0}^r S_i. \end{cases} \quad (6)$$

由方程组 (6) 可知, 校验比特的计算是一个对 S_r 在二元域累加的过程. 设编码并行度为 M , 即同一时刻参与运算的信息比特为 M 位, 实际应用时, M 的取值可根据 VCM 模式设置. 进一步, 可根据式 (7) 并向递归计算 S_r .

for $c=0:M:k-M$

for each $r \in CN(c)$ do

$$S_r = S_r \oplus i_c$$
$$S_{(r+q) \bmod (n-k)} = S_{(r+q) \bmod (n-k)} \oplus i_{c+1}$$
$$\vdots$$
$$S_{r+(M-1) \cdot q \bmod (n-k)} = S_{r+(M-1) \cdot q \bmod (n-k)} \oplus i_{c+M-1}$$

end

end

利用二进制计算的特点, 式 (7) 中 S_r 计算可简化为

$$S_r = \begin{cases} S_r, & i_c = 0; \\ \overline{S_r}, & i_c = 1. \end{cases} \quad (8)$$

表 1 某近地卫星数传链路设计参数

Tab. 1 Design parameters for data transmission link of a LEO satellite

链路参数	下行载波频率/ GHz	有效全向辐射功率/ dBW	大气损耗/ dB	指向性损耗/ dB	极化损耗/ dB	调制解调损耗/ dB	地面站 G/T 值/ (dB/K)	符号速率/ Mbps	预留链路余量/ dB
符号	f	EIRP	L_{aa}	L_p	L_{am}	L_m	G/T	R_s	Margin
取值	8.2	14	0.5	0.5	0.5	2	33	270	3

图 1(a) 所示为链路预算结果. 从图中可看出随着仰角变化, 链路预算结果动态变化, 在本例中, 卫星过境期间存在着 11.8 dB 的链路信噪比波动. (注: 图中 $90^\circ \sim 175^\circ$ 仰角对应实际 $90^\circ \sim 5^\circ$ 仰角)

根据链路预算结果和文献 [3] 中提出的 VCM 流程设计方法, 确定了本文如图 1(b) 所示 VCM 模

式中 $\overline{S_r}$ 为取反操作. 当输入信息比特 i_c 为 1 时, S_r 为上一次计算结果取反之后的值, 当输入信息比特 i_c 为 0 时, S_r 不需进行更新计算, 降低了编码开销.

为快速并向递归计算 S_r , 根据编码并行度 M , 可按式 (9) 存储 S_r , 其中 $L = (n-k)/M$.

$$S = \begin{bmatrix} S_0 & S_1 & \cdots & S_{M-1} \\ S_M & S_{M+1} & \cdots & S_{2M-1} \\ \vdots & \vdots & \ddots & \vdots \\ S_{(L-1)M} & S_{(L-1)M+1} & \cdots & S_{LM-1} \end{bmatrix}_{L \times M} \quad (9)$$

当所有信息比特参与完运算, 按式 (10) 快速并向递归计算校验比特, 且输出为顺序输出.

$$\begin{cases} \left[S_0 \bigoplus_{r=0}^1 S_r \cdots \bigoplus_{r=0}^{M-1} S_r \right] = [p_0 \ p_1 \ \cdots \ p_{M-1}], \\ M'b\{p_{M-1}\} \oplus \left[S_M \bigoplus_{r=M}^{M+1} S_r \cdots \bigoplus_{r=M}^{2M-1} S_r \right] = \\ \quad [p_M \ p_{M+1} \ \cdots \ p_{2M-1}], \\ \vdots \\ M'b\{p_{(L-1)M-1}\} \oplus \left[S_{(L-1)M} \bigoplus_{r=(L-1)M}^{(L-1)M+1} S_r \cdots \bigoplus_{r=(L-1)M}^{LM-1} S_r \right] = \\ \quad [p_{(L-1)M} \ p_{(L-1)M+1} \ \cdots \ p_{LM-1}]. \end{cases} \quad (10)$$

2 高效低功耗 LDPC 编码器设计

2.1 VCM 数传系统与编码器整体结构

以运行高度为 600 km 的近地卫星为例, 卫星在仰角 $>5^\circ$ 时建立数传链路, 其链路参数见表 1.

式切换方案: 当 $5^\circ \leq$ 卫星仰角 $\leq 15^\circ$ 时, 采用码长 $n = 16\ 200$, 码率 $R = 2/3$, 调制方式为 8PSK 的 modcod1 模式; 当 $15^\circ <$ 卫星仰角 $\leq 25^\circ$ 时, 采用码长 $n = 16\ 200$, 码率 $R = 2/3$, 调制方式为 16APSK 的 modcod2 模式; 当卫星仰角 $> 25^\circ$ 时, 采用码长 $n = 16\ 200$, 码率 $R = 4/5$, 调制方式为 16APSK 的 modcod3 模式.

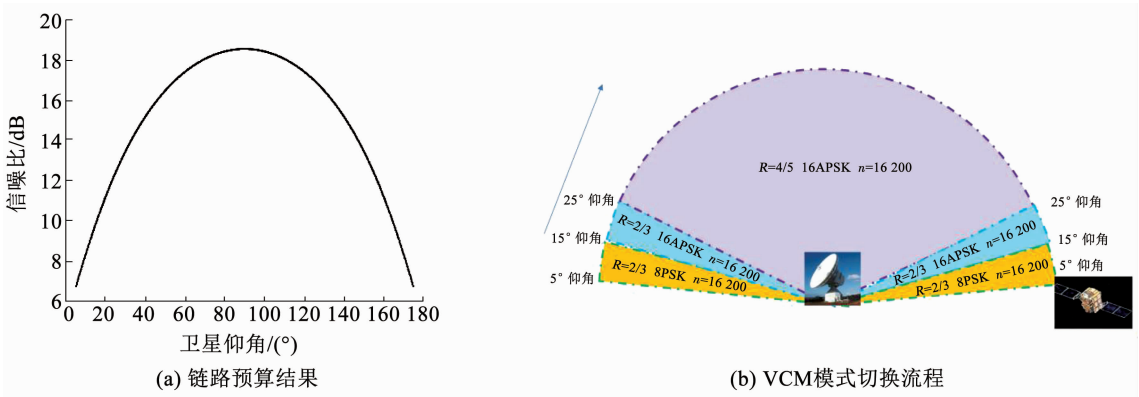


图 1 链路预算结果和 VCM 模式切换流程

Fig. 1 Link budget and VCM mode change process

针对上述 VCM 数传系统需求,设计了基于快速累加并向递归编码算法的高效低功耗 LDPC 编码器,结构框图见图 2. 主要包括控制模块、校验地址计算模块、校验比特中间变量 S_r 计算模块、输出处理模块. 其中校验地址计算模块包括初始校验地址

存储 ROM、校验地址及偏移量计算模块;校验比特中间变量 S_r 计算模块包括校验比特中间变量存储 S_r RAM 和取反逻辑;输出处理模块包括状态控制模块和异或逻辑.

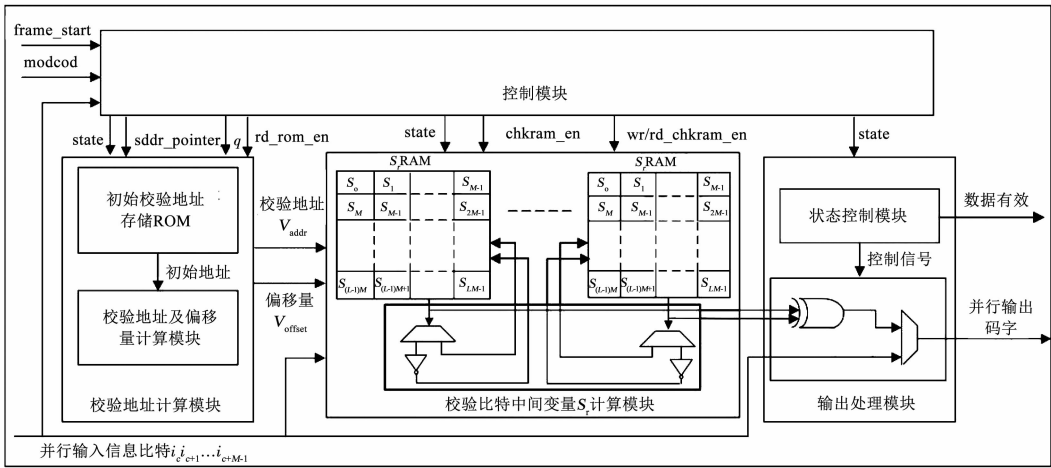


图 2 高效低功耗 LDPC 编码器结构框图

Fig. 2 Hardware architecture of high efficient and low power LDPC encoder

2.2 控制模块

控制模块是编码器的核心模块,主要由状态机和控制信号组成,其作用是根据 VCM 模式的设置动态重构编码器,完成各模块间的有序切换并保证模块内部各功能的正确实现. 编译时,针对 VCM 设置参数进行综合适配,改变模块内部结构和相互之间的连接关系,生成针对用户设定的可执行文件. 控制模块端口信号及其说明见表 2.

图 3 为高效低功耗 LDPC 编码器的工作流程图. 校验地址计算模块按照分级存储指针从 ROM 中对分级存储的初始校验地址进行读取,并根据初始校验地址计算出该信息比特对应的校验地址和偏移量;校验比特中间变量 S_r 计算模块在 S_r RAM 读写时序及读写使能控制下,读取该校验地址中的数

表 2 控制模块端口信号及说明

Tab. 2 Signal ports descriptions of control module

端口名称	端口类型	说明
clk	输入	时钟信号,系统工作时钟
rst	输入	系统复位信号,低电平有效
modcod	输入	VCM 状态参数,指示当前编码调制方式
data_in	输入	并行输入信息比特
frame_start	输入	帧起始信号
rd_rom_en	输出	ROM 读使能信号
addr_pointer	输出	ROM 分级存储指针
q	输出	DVB-S2 标准中给出的数值
wr_chkram_en	输出	S_r RAM 写使能信号
rd_chkram_en	输出	S_r RAM 读使能信号
chkram_en	输出	S_r RAM 使能信号
state	输出	编码器状态参数,指示当前编码器工作状态

值,并根据当前信息比特的取值在下一时钟周期将取反后的数值写入同一地址;当一帧数据的所有信息比特输入完毕, S_r 计算也随之结束,此时从零地址开始读取 S_r RAM 中的值送入输出处理模块,并将

S_r RAM 中内容清零,保证下一帧数据编码的正确性;输出处理模块通过编码器状态参数的控制对分布式存储的 S_r 进行异或得到最终的校验比特,按顺序并行输出信息比特和校验比特.

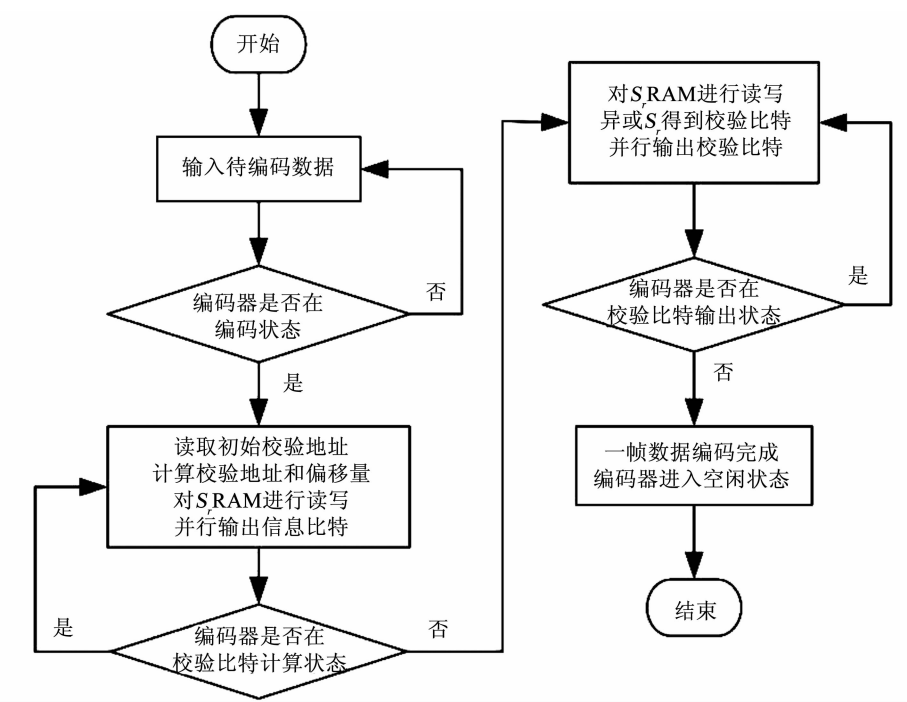


图 3 编码器工作流程

Fig. 3 Encoding process of high efficient and low power encoder

2.3 校验地址计算模块

图 4 为校验地址计算模块结构. 校验地址计算模块由初始校验地址存储 ROM、校验地址及偏移量

计算模块组成,用于完成当前信息比特对应的校验地址和偏移量计算.

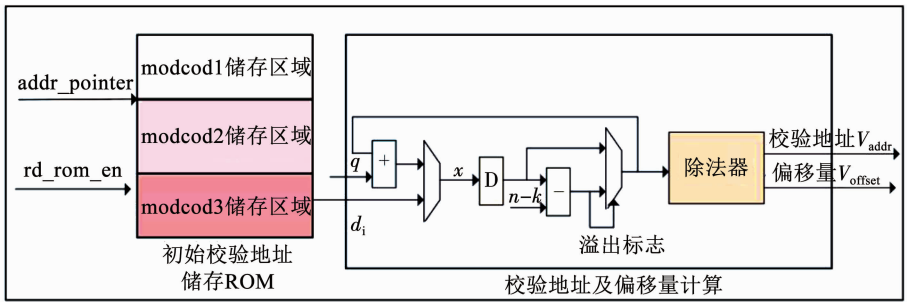


图 4 校验地址计算模块结构框图

Fig. 4 Hardware architecture of calculation of parity-check bits address module

利用 ROM 存储初始校验地址,且对不同 VCM 模式的初始校验地址进行指针式分级存储. 当输入为每个分组的第 1 个信息比特时,根据分级存储指针从 ROM 相应地址中读取初始校验地址,组内其余信息比特的校验地址由式(2)计算. 为节省资源,式中乘法用累加方式代替,求模运算用减法和选择器实现. 针对式(9)设计的 S_r 存储结构,利用除法器

按照式(11)、(12)计算组内信息比特对应的 S_r RAM 校验地址 V_{addr} 和偏移量 V_{offset} .

$$V_{addr} = \text{floor}(x/M), \tag{11}$$

$$V_{offset} = \text{mod}(x,M). \tag{12}$$

式中:floor 为取整函数,mod 为取模函数, x 为由式(2)计算出的校验地址.

2.4 校验比特中间变量 S_r 计算模块

校验比特中间变量 S_r 计算模块是高效低功耗 LDPC 编码器的重要模块,该模块利用双端口 RAM 按照式(7)、(8)、(10)完成对中间变量 S_r 的存储与更新计算.由式(7)内层循环可知,每个 S_r 更新需要 v 个时钟,为缩短编码周期,提高编码数据吞吐率,本文采用分布式存储技术,利用 $v \cdot M$ 个 S_r RAM 并行处理一个信息比特对 v 个 S_r 的更新计算的同时并行计算 $S_r, S_{(r+q) \bmod (n-k)}, \cdots, S_{r+(M-1) \cdot q \bmod (n-k)}$. 根据 3 种 VCM 模式需求,本文支持 3、4 两种编码并行度,分别对应 8PSK 和 16APSK 两种调制方式,为兼容各 VCM 模式,本文采用最大化存储编码策略,利用 $v_{\max} \cdot M_{\max}$ 块深度为 $(n-k)/M_{\min}$ 、宽度为 $M_{\max}$ 的双端口 RAM,完成 S_r 的存储与更新计算,其中 $v_{\max}$ 为校验矩阵列向量列重 v 的最大值, $M_{\min}$ 和 $M_{\max}$ 分别为编码并行度 M 的最小值和最大值.编码时由控制模块根据 VCM 模式置 $v \cdot M$ 个 S_r RAM 的使能信号有效,完成 S_r 的存储与更新计算.

并行输入的信息比特 $i_c, i_{c+1}, \cdots, i_{c+M-1}$ 分别送入 M 个存储器,当输入信息比特 i_c 为 1 时, S_r RAM 读使能有效,根据 V_{addr} 读取 S_r RAM 中的数据,同时根据 V_{offset} 值对读出数据的相应比特位置取反,并延迟一

个时钟周期再写回同一地址.当输入信息比特 i_c 为 0 时, S_r RAM 读使能无效,不做任何操作,降低了编码器功耗.当 k 个信息比特全部输入参与完运算后, S_r 更新计算完成,此时将 $v \cdot M$ 个 S_r RAM 中的内容从零地址开始同时读出,并将零值写入该地址,以保证后续的数据帧能正确编码.

2.5 输出处理模块

输出处理模块将编码后的码字包括信息比特和校验比特并行输出至数字调制器.当编码器处于校验比特计算状态时,输出处理模块将并行输入的信息比特直接输出,并置输出数据有效;当编码器处于校验比特输出状态时,根据式(10)对分布式存储的 S_r 进行异或操作,每个时钟完成 M 个校验比特的计算且按顺序并行输出 M 个校验比特,同时置输出数据有效.

3 实现结果与分析

3.1 编码器硬件资源消耗分析

对提出的高效低功耗 LDPC 编码器,在 Xilinx XC7K325t-3fbg900 型号 FPGA 上进行了实现,开发环境为 ISE14.7,与其他文献编码器硬件资源消耗对比结果见表 3.

表 3 不同文献编码器资源消耗情况
Tab. 3 Hardware utilization of encoders of different references

文献	FPGA 型号	Slices	Flip- Flops	Registers	Block RAM/bit	LE registers	Logic elements	支持 码率	支持 码长
文献[13]	XC2VP30	4 383	925		489 600			3/5	16 200
文献[14]	XC5VLX155T		36 801	32 400	72 000			1/2	64 800
文献[15]	XC3S2000	2 777	2 121		504 000			2/3	16 200
文献[16]	EP4SGX230				1 243 075	458	1 545	11 种码率	64 800/16 200
本文	XC7K325t		6 450	4 672	612 000			2/3、4/5	16 200

文献[13–15]均是对单一码长码率 LDPC 编码器的实现,文献[16]支持 2 种码长和 11 种码率,本文设计的编码器兼容 3 种 VCM 模式,控制模块有效保证了编码器在 LEO 卫星切换 VCM 模式时动态自适应调整,提高了编码器的灵活性.

为兼容 3 种 VCM 模式,需对各 VCM 模式下不同初始校验地址进行存储,且为实现快速累加并向递归编码算法,采用了分布式存储技术和最大化存储编码策略,因此本文的寄存器和存储资源消耗比文献[13–15]多.文献[16]中设计的编码器需要用 RAM 对中间变量结果以及输入信息比特进行缓存,

占用了较多的 RAM 资源,而本文提出的编码器不需要对信息进行缓存,降低了 RAM 资源占用.本文设计的编码器实现了硬件资源和编码灵活性的动态平衡.

3.2 编码器功耗分析

本文提出的编码器在输入信息比特为 1 时, S_r RAM 读使能有效,将 S_r RAM 中的数据读出,并用取反操作代替异或操作;而输入信息比特为 0 时,读使能无效,不对 S_r RAM 进行操作,降低了编码器的功耗.使用 XPower Analyzer 工具对本文设计的编码器和未经低功耗设计的编码器进行功耗分析,对比结果见表 4.

表 4 功耗分析对比

Tab. 4 Power consumption comparison

							W
编码器	Clocks	Logic	Signals	BRAMs	IOs	Leakage	Total
本文编码器	0.408	0.328	0.311	0.090	0.008	0.164	1.309
未经低功耗设计的编码器	0.478	0.416	0.390	0.212	0.009	0.167	1.672

表中未经低功耗设计的编码器是指相同硬件平台,每个时钟均对 S_r RAM 进行读写,用异或进行 S_r 更新与计算,其他模块与本文一致的编码器. 由表 4 可知,利用本文方案设计的编码器降低了 21.7% 的功耗,对功耗要求苛刻的 LEO 卫星星上系统具有重要意义.

3.3 编码器性能分析

编码数据吞吐率是衡量编码器性能的重要指标之一,借助 Timing Analyzer 工具,对本文编码器进行评估,其计算公式为

$$T = \frac{n \cdot R \cdot f_{clk}}{t_d + 360/M \cdot w + L} \tag{13}$$

式中: n 为码长; R 为码率; f_{clk} 为系统时钟,综合编译结果为 347.5 MHz; M 为编码并行度; w 为标准中给出的初始校验地址行数; $L = (n - k)/M$; t_d 为系统延时,定义为第 1 个信息比特进入编码器到第 1 个信息比特输出所需时钟周期数,实测值为 26. 本文提出的编码器的数据吞吐率见表 5.

表 5 本文编码器吞吐率

Tab. 5 Throughput of proposed encoder

VCM 模式	R	M	w	L	T/Gbps
modcod1	2/3	3	30	1 800	0.691
modcod2	2/3	4	30	1 350	0.921
modcod3	4/5	4	35	900	1.104

本文设计的编码器编码并行度可动态切换为 3 或 4,分别对应 8PSK 和 16APSK 两种调制方式,提高了编码数据吞吐率,编码数据吞吐率最高可达 1.104 Gb/s;且编码数据按顺序输出,不需要与复杂的交织模块相结合,简单的行列交织之后,即可进行比特星座映射,降低了整个 VCM 系统的实现复杂度,具有高效性.

对于 VCM 数传系统,其数据吞吐量 T_{VCM} ,即卫星在数传时间内向地面传输的总信息量为

$$T_{\text{VCM}} = T_{\text{modcod1}} \cdot \Delta t_{\text{modcod1}} + T_{\text{modcod2}} \cdot \Delta t_{\text{modcod2}} + T_{\text{modcod3}} \cdot \Delta t_{\text{modcod3}} \tag{14}$$

利用 STK 仿真软件得到每种模式持续时间 $\Delta t_{\text{modcod1}} = 380 \text{ s}$, $\Delta t_{\text{modcod2}} = 280 \text{ s}$, $\Delta t_{\text{modcod3}} = 420 \text{ s}$;

计算得到 CCM 数传系统(采用单一 modcod1 模式)数据吞吐量为 746.28 Gb,而 VCM 数传系统数据吞吐量为 984.14 Gb,较 CCM 数传系统提高了 31.9%.

4 结 论

面对 LEO 卫星 VCM 数传系统对高通量、低功耗、高可靠性信道编码的应用需求,本文提出了一种基于快速累加并向递归编码算法的高效低功耗 LDPC 编码器. 利用输入比特的随机性和二进制计算的特点,简化了 S_r 的计算,降低了 21.7% 编码器功耗;通过控制模块动态重构编码结构,能够兼容 3 种 VCM 模式,提高了编码器的灵活性;采用与调制方式相匹配的存储方案,能够顺序输出 M 个并行比特,提高了编码数据吞吐率,且不需要与复杂交织模块相结合,具有高效性. 结果表明,编码数据吞吐率最高可达 1.104 Gb/s,整个 VCM 数传系统数据吞吐量较 CCM 系统提高了 31.9%,且该编码器具有低功耗、灵活性与高效性的特点,在 LEO 卫星 VCM 数传系统中具有较高应用价值.

参考文献

[1] 李炯卉. 基于可变编码多载波调制技术的星地高速数传系统研究[D]. 北京: 中国科学院大学, 2018
LI Jionghui. Satellite-ground high-rate data transmission system based on variable coding multi-carrier modulation [D]. Beijing: University of Chinese Academy of Sciences, 2018

[2] 王万玉, 毛伟, 何元春. 遥感卫星星地链路数据传输技术分析[J]. 物联网技术, 2017, 7(7): 34
WANG Wanyu, MAO Wei, HE Yuanchun. Analysis of satellite-to-ground data transmission technology for remote sensing satellites[J]. Internet of Things Technologies, 2017, 7(7): 34. DOI: 10.16667/j. issn. 2095 - 1302. 2017. 07. 007

[3] 李炯卉, 熊蔚明, 梅凡. 优化卫星数传链路效率的 VCM 流程设计[J]. 哈尔滨工业大学学报, 2016, 48(10): 162
LI Jionghui, XIONG Weiming, MEI Fan. Design of a VCM-based satellite data transmission architecture for down-link efficiency enhancement[J]. Journal of Harbin Institute of Technology, 2016, 48(10): 162. DOI: 10.11918/j. issn. 0367 - 6234. 2016. 10. 024

[4] LI Jionghui, XIONG Weiming, SUN Geng, et al. Doppler-robust high-spectrum-efficiency VCM-OFDM scheme for low Earth orbit satellites broadband data transmission [J]. IET Communications, 2018, 12(1): 35. DOI: 10.1049/iet - com. 2017. 0229

[5] Consultative Committee for Space Data Systems (CCSDS). TM synchronization and channel coding: CCSDS 131.0-B-2 [S]. Washington DC: CCSDS, 2011

[6] European Telecommunications Standards Institute (ETSI). European Standard: Digital Video Broadcasting (DVB); Second generation framing structure, channel coding and modulation systems for broadcasting, interactive services, news gathering and other broadband satellite applications; ETSI EN 302 307 V1.2.1 (2009-08)[S]. Sophia Antipolis; ETSI, 2014

[7] GALLAGER R G. Low-density parity-check codes [J]. IRE Transactions on Information Theory, 1962, 8(1): 21. DOI: 10.1109/TIT.1962.1057683

[8] RICHARDSON T J, SHOKROLLAHI M A, URBANKE R A. Design of capacity-approaching irregular low-density parity-check codes[J]. IEEE Transactions on Information Theory, 2001, 47(2): 619. DOI: 10.1109/18.910578

[9] DIGDARSINI D, MISHRA D, MEHTA S, et al. FPGA implementation of FEC encoder with BCH & LDPC codes for DVB S2 system[C]// 2019 6th International Conference on Signal Processing and Integrated Networks (SPIN). Noida; IEEE, 2018: 78. DOI: 10.1109/SPIN.2019.8711664

[10] ZINCHENKO M Y, LEVADNIY A, GREBENKO Y. Development of the LDPC coder-decoder of the DVB-S2 standard on FPGA[C]// 2018 Systems of Signal Synchronization, Generating and Processing in Telecommunications (SYNCHROINFO). Minsk; IEEE, 2018: 1. DOI: 10.1109/SYNCHROINFO.2018.8456924

[11] 范光荣, 王华, 夏添琦, 等. 基于 DVB-S2 的高速多码率 LDPC 编码器的 FPGA 设计与实现[J]. 北京理工大学学报, 2008, 28(9): 813

FAN Guangrong, WANG Hua, XIA Tianqi, at al. FPGA design and implementation of high speed multi-rate LDPC encoder based on DVB-S2[J]. Transactions of Beijing Institute of Technology, 2008, 28(9): 813

[12] 武学彬, 薛永林. 用于 DVB-S2 的 LDPC 编码器设计[J]. 电视技术, 2007, 31(增刊1): 114

WU Xuebin, XUE Yonglin. Design of LDPC encoder in DVB-S2 based on FPGA [J]. Video Engineering, 2007, 31(S1): 114. DOI: 10.3969/j.issn.1002-8692.2007.z1.039

[13] GOMES M, FALCAO G, SENGU A, et al. High throughput encoder architecture for DVB-S2 LDPC-IRA codes [C]// 2007 IEEE International Conference on Microelectronics. Cairo; IEEE, 2007: 271. DOI: 10.1109/ICM.2007.4497709

[14] LEE I, KIM M, OH D, et al. High-speed LDPC encoder architecture for digital video broadcasting systems[C]// 2013 IEEE International Conference on ICT Convergence (ICTC). Jeju; IEEE, 2013: 606. DOI: 10.1109/ICTC.2013.6675433

[15] 华力, 雍玲, 雷菁. 基于 FPGA 的 DVB-S2 通用 LDPC 编码器设计与实现[J]. 通信技术, 2008, 41(1): 12

HUA Li, YONG Ling, LEI Jing. Design and implementation of universal LDPC code encoder in the DVB-S2 based on FPGA[J]. Communications Technology, 2008, 41(1): 12. DOI: 10.3969/j.issn.1002-0802.2008.01.005

[16] 兰亚柱, 杨海钢, 林郁. 面向 DVB-S2 标准 LDPC 码的高效编码结构[J]. 电子与信息学报, 2016, 38(7): 1781

LAN Yazhu, YANG Haigang, LIN Yu. Efficient encoding architecture for LDPC code based on DVB-S2 standard[J]. Journal of Electronics and Information Technology, 2016, 38(7): 1781. DOI: 10.11999/JEIT151198

(编辑 苗秀芝)