

DOI:10.11918/201907083

结合高分辨率 TDC 的单光子探测系统设计

杜永超¹, 谢生^{1,2}, 毛陆虹³, 闵闯¹, 王敏¹

(1. 天津大学 微电子学院, 天津 300072; 2. 天津市成像与感知微电子技术重点实验室(天津大学), 天津 300072;
3. 天津大学 电气自动化与信息工程学院, 天津 300072)

摘要: 针对时间数字转换器(time-to-digital converter, TDC)的时间分辨率和测量误差相互制约, 单光子探测系统工作频率低、测量死时间长等问题, 设计了一款用于荧光寿命成像的高速单光子探测系统. 该系统集成了一个 6×6 单光子雪崩二极管(single photon avalanche diode, SPAD)阵列和一个两级结构的TDC. 其中, SPAD之间相互并联以增大感光面积; 淬灭电路自动控制两条放电支路, 减小测量死时间的同时降低了后脉冲效应; TDC采用两级结构同时实现了高分辨率和大动态范围, 其中第2级TDC采用三通道游标结构有效降低了测量误差; 存储器将时间测量结果暂存在对应的地址中, 测量结束后由串口电路按地址顺序读出到上位机中处理. 该系统基于TSMC 0.18 μm CMOS工艺仿真验证, 芯片整体面积为 $2\,800\ \mu\text{m} \times 1\,800\ \mu\text{m}$. 仿真结果表明: SPAD的击穿电压约为11.3 V, 雪崩电流约为 10^{-3} A, 淬灭电路的死时间约为40 ns; TDC的时间分辨率为30 ps, 动态范围为241 ns; 整个系统在526 MHz时钟频率下对两个荧光信号进行检测, 测量误差均小于10 ps.

关键词: 单光子探测; 时间数字转换器; 三通道游标结构; 单光子雪崩二极管; 淬灭电路

中图分类号: TN432

文献标志码: A

文章编号: 0367-6234(2020)12-0042-07

Design of single photon detection system with high resolution TDC

DU Yongchao¹, XIE Sheng^{1,2}, MAO Luhong³, MIN Chuang¹, WANG Min¹

(1. School of Microelectronics, Tianjin University, Tianjin 300072, China;

2. Tianjin Key Laboratory of Imaging and Sensing Microelectronic Technology (Tianjin University), Tianjin 300072, China;

3. School of Electrical and Information Engineering, Tianjin University, Tianjin 300072, China)

Abstract: To solve the problems that the time resolution and measurement error of time-to-digital converter (TDC) are mutually restricted, and the single photon detection system has low working frequency and long dead time, a high-speed single photon detection system for fluorescence lifetime imaging was designed. The system integrates a 6×6 single photon avalanche diode (SPAD) array and a two-stage TDC. In this system, the SPADs are connected in parallel with each other to increase the photosensitive area. The quenching circuit could effectively reduce the detection dead time and afterpulse effect by automatically controlling the two discharge branches. Both high resolution and large dynamic range were achieved by the two-stage TDC structure, where a novel three-channel vernier structure was adopted to reduce the measurement uncertainty. The memory temporarily stored the measurement time interval in the corresponding address, and after the measurement, the UART circuit read data into the computer by the order of address. The system was simulated on the basis of TSMC 0.18 μm CMOS technology, and the overall layout area was $2\,800\ \mu\text{m} \times 1\,800\ \mu\text{m}$. Simulation results show that the breakdown voltage of SPAD was about 11.3 V, the avalanche current was about 10^{-3} A, and the dead time of quenching circuit was about 40 ns. TDC could achieve a time resolution of 30 ps and a total conversion dynamic range of 241 ns. The whole system detected two fluorescent signals at a clock frequency of 526 MHz, and the quantization error was less than 10 ps.

Keywords: single photon detection; time-to-digital converter; three-channel vernier structure; single photon avalanche diode; quenching circuit

在生物医学领域中, 通常使用荧光物质标记待测样本, 通过研究样本激发的荧光特性来分析样本及其所处环境的特征^[1]. 传统的基于荧光强度的探

测方法很容易受到激发激光强度、荧光染料溶度分布等因素的影响, 难以做到定量测量^[2]. 而荧光寿命则是绝对的, 仅与样本自身特性和其所处的环境特性有关^[3], 因此荧光寿命成像 (fluorescence lifetime imaging microscopy, FLIM) 方法可以准确地获得待测样本的各项参数特征^[4].

在荧光寿命成像中, 通常使用 TDC 来精准地测

收稿日期: 2019-07-10

基金项目: 国家自然科学基金(11673019)

作者简介: 杜永超(1995—), 男, 硕士研究生;

毛陆虹(1955—), 男, 教授, 博士生导师

通信作者: 谢生, xie_sheng06@tju.edu.cn

量荧光信号的出现时间, TDC 的性能直接关系到荧光寿命成像结果的优劣. 为此许多学者对传统的 TDC 电路进行了改进. 文献[5]中两级结构扩展了 TDC 的动态范围, 但是二级 TDC 的抽头结构使其分辨率较低, 而且受时钟频率的限制, 其转换速率较低. 文献[6]提出了一种多相位时钟的 TDC, 通过抽头延时线对锁相环产生的 8 个不同相位的参考时钟进行采样, 虽然多相位时钟的稳定性使 TDC 的测量误差较小, 但是其分辨率较低, 动态范围难以提升. 文献[7]给出了一种基于反相器的环形 TDC, 环形结构实现了较大的动态范围, 但由于反相器对信号的上升沿和下降沿存在延时差异, 使信号在传输过程中产生了较大的误差. 文献[8]所描述的游标型结构利用两个延时大小相近的延时单元实现了亚门级的分辨率, 但是游标结构存在有动态范围难以扩展和延时单元之间匹配难度大的问题.

为解决上述问题, 本文提出了一种两级结构的 TDC, 第 1 级 TDC 利用计数型结构实现了大的动态范围; 第 2 级 TDC 采用了一种优化的三通道游标结构, 缩短了单条延时链的长度, 降低了测量的不确定度. 其中, 采用差分结构的延时单元, 有效提高了 TDC 的抗干扰能力; 采用真单相时钟触发器 (true single phase clocked, TSPC) 作为 D 触发器, 保证尽可能小的建立保持时间, 进一步提高了 TDC 的测量精度. 在两级结构 TDC 的基础上, 结合 SPAD、淬灭电路、存储读出电路搭建了一款可以应用于荧光寿命成像的单光子探测系统.

1 系统结构

图 1 为本文提出的单光子探测系统. 其主要由 SPAD、淬灭电路、前端接口电路、TDC 电路、编码电路、存储读出电路等部分组成. SPAD 工作在盖革模式下, 感应荧光光子并产生雪崩脉冲, 淬灭电路完成 SPAD 的淬灭和复位, 并将雪崩信号经过反相器转化为数字脉冲, 读入 TDC^[9]. TDC 电路连续测量荧光光子的出现时间, 并将结果暂存在地址和时间相对应的存储器中. 第 1 次探测开始之后, 控制单元开始计时, 当计时达到预设值时, 结束荧光光子的探测, 并控制串口电路将存储器的数据按地址顺序读出到上位机, 得到荧光光子在时间上的概率分布直方图, 通过算法还原得到待测样本的荧光寿命^[10].

考虑到需要探测的荧光信号非常微弱, SPAD 在每个探测周期能够探测到荧光光子的概率远小于 1^[11], 这会导致 TDC 在多个探测周期内接收不到停止信号, 浪费功耗. 为此, 本系统采用了反转启停的处理: 将 TDC 的 START 信号和 STOP 信号对调,

使 SPAD 生成的雪崩脉冲作为 TDC 的 START 信号, 而相邻周期的激光脉冲信号作为 STOP 信号, 确保 TDC 电路只有在探测到光子后才工作, 降低了系统功耗.

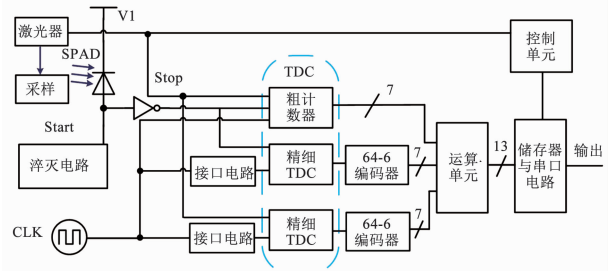


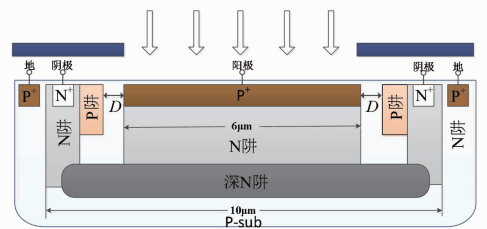
图 1 单光子探测系统框图

Fig. 1 Single photon detection system block diagram

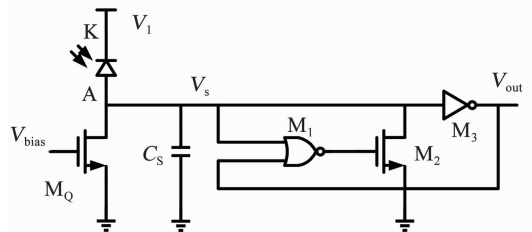
2 电路设计

2.1 SPAD 和淬灭电路的结构

在进行荧光光子探测时, SPAD 两端的反偏压大于其反向击穿电压. 为保护 SPAD 不发生边沿击穿, 需要在其感光区周围添加保护环, 并将 SPAD 的版图设计为正八边形以增大曲率半径, 防止出现边缘击穿^[12]. 本文采用了本实验室所设计的一种感光区和 P 阱保护环分离的 SPAD, 其结构如图 2(a) 所示^[13].



(a) 分离式保护环的 SPAD



(b) 淬灭电路结构

图 2 SPAD 和淬灭电路

Fig. 2 SPAD and quenching circuit

该器件主要由 P⁺、Pwell、N⁺、Nwell、Deep Nwell 和 P-sub 组成. 其中 P⁺、Nwell 组成了雪崩 pn 结, 是器件的感光区, P⁺ 引出电极作为器件的阳极; Pwell 是 SPAD 的保护环, 和感光区的间隔为 D; Nwell 将倒置掺杂的 Deep Nwell 包围, 从 N⁺ 引出电极作为器件的阴极. 当器件工作时, Deep Nwell 和 P-sub 处于反偏状态, 使阳极和衬底相互独立. 除感光区外,

其他部分都用金属覆盖,以降低像素间的串扰^[14].

淬灭电路完成 SPAD 的淬灭、复位和雪崩信号的输出. 传统的被动淬灭电路结构简单,淬灭时间极短,但是复位时间很长,导致死时间长,探测效率低;主动淬灭电路性能优异,但电路结构复杂,功耗面积较大^[15]. 所以本系统采用了一种被动淬灭-主动复位的淬灭电路实现了较小的探测死时间. 电路结构如图 2(b) 所示.

电路的工作原理为:1) 准备阶段. M_0 导通, SPAD 两端电压为 V_1 , 大于其反向击穿电压, SPAD 准备探测荧光信号;2) 淬灭阶段. SPAD 探测到荧光信号发生雪崩,产生一个流过 M_0 的雪崩电流, M_0 分压使 SPAD 两端反向偏压降底,雪崩淬灭;3) 主动复位. V_s 通过 C_s 到 M_0 这一支路以斜率为 I_0/C_s 的速度放电, I_0 为流过 M_0 电流的大小, 设置或非门 M_1 的阈值电压 V_{th1} 大于反相器 M_3 的阈值电压 V_{th2} , 当 V_s 小于 V_{th1} 而大于 V_{th2} 时, M_1 输出高电平使 M_2 导通, V_s 迅速降为 0 V, 完成 SPAD 的复位. V_s 从最大值降到 V_{th1} 的这段时间为淬灭电路的保持时间,其大小为

$$T_{off} = \frac{C_s \times (V_{s,max} - V_{th1})}{I_0},$$

可以通过调整 C_s 的大小来实现不同的保持时间,从而有效地抑制 SPAD 后脉冲的产生.

2.2 时间数字转换器

本系统采用一种两级结构的 TDC 测量荧光信号的出现时间,测量原理如图 3 所示. 第 1 级计数型 TDC 测量 START 和 STOP 之间的时钟周期个数,输出为 N_1 . 两个二级 TDC 测量未满足一个周期的时间余量,经过编码电路输出温度码最后一个 1 的位置,分别为 N_2 和 N_3 . 二级 TDC 的动态范围需要和一级 TDC 的时间分辨率匹配,本文中二级 TDC 共 64 级,分辨率为 τ ,时钟周期为 T_{clk} ,则最终测得的时间间隔可以表示为

$$T = T_{clk} \times N_1 + N_2 \times \tau - N_3 \times \tau = (64 \times N_1 + N_2 - N_3) \times \tau.$$

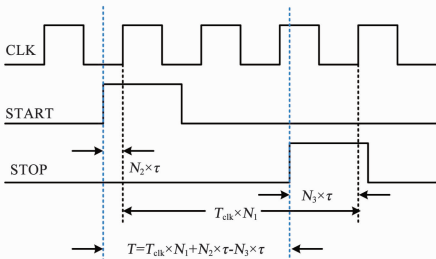


图 3 两级 TDC 的测量原理

Fig. 3 Measurement principle of two-stage TDC

传统游标型 TDC 电路结构如图 4 所示^[16]. START 信号和 STOP 信号各自沿延时链 1 和 2 传播. 其中,延时链 1 中延时单元的大小为 t_1 ,延时链 2

中延时单元的大小为 t_2 ,且 $t_1 > t_2$,故每经过一级延时单元,START 信号和 STOP 信号的相位差会缩小 $t_1 - t_2$. STOP 信号通过 D 触发器对 START 信号采样,得到一组从 1 变为 0 的温度码. 假设待测的时间间隔为 T ,温度码的最后一个 1 出现在第 n 级,则有 $n \times (t_1 - t_2) \leq T < (n + 1) \times (t_1 - t_2)$.

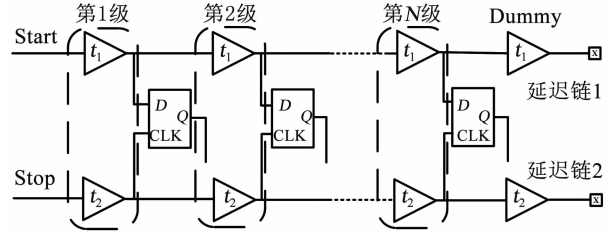


图 4 传统游标延时链结构

Fig. 4 Traditional cursor delay chain structure

由于 PVT 和环境噪声的影响,各级的延时差值会有一些的偏差. 假设第 i 级延时单元的延时差值的偏差为 μ_i ,则第 i 级延时单元的延时差 $t_{res,i}$ 为

$$t_{res,i} = (t_1 - t_2) + \mu_i = t_{res} + \mu_i, \quad (1)$$

所以 T 近似为

$$T = n \times t_{res} + \sum_{i=1}^n \mu_i, \quad (2)$$

而每级延时差的标准差相同,其大小为

$$\text{std}(t_{res,i}) = \text{std}(\mu_i) = \text{std}(\mu), \quad (3)$$

则时间间隔 T 的不确定度为

$$\text{std}(T) = \text{std}(\mu) \times \sqrt{n}. \quad (4)$$

由式(4)可知,提高单级延时单元的抗干扰能力和缩短延时链的长度都可以降低测量结果的不确定度. 基于此原理,本系统的二级 TDC 采用了一种基于压控差分反相器的三通道游标结构,如图 5 所示. 三通道的架构使得单条延时链的长度缩短为原来的 1/3,差分结构的延时单元具有较强的抗干扰能力. 由式(4)可知,测量结果的不确定度降低为传统结构的 57% 以下.

其中,下边 3 条延时链中延时单元的延时值固定为 t ,其结构如图 6(a) 所示. 上边 3 条延时链中延时单元的延时值为压控可调,其结构如图 6(b) 所示,通过调整 M_5 、 M_8 的栅极控制电压,使得延时大小满足 $t_1 - t = 30 \text{ ps}$ 、 $t_2 - t = 60 \text{ ps}$ 、 $t_3 - t = 90 \text{ ps}$,从而二级 TDC 实现了 30 ps 的时间分辨率. 若延时单元的差分输入信号存在相位差,则会出现左右两条支路同时导通的情况,使延时单元的输出为不定态,增大 TDC 不确定度的同时也增大了功耗. 为此在 TDC 中添加了边沿校准模块 Edge aligner,为差分延时单元提供零相位差的差分输入信号,最大限度的消除了这种竞争冒险现象.

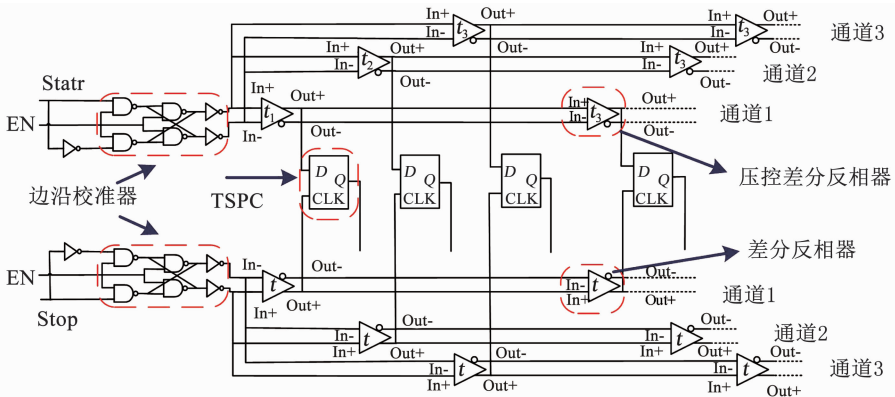


图 5 基于压控差分反相器的三通道游标 TDC

Fig. 5 Three-channel vernier TDC based on voltage-controlled differential inverter

采用 TSPC 触发器判定 START 和 STOP 信号的相位关系,其电路结构如图 6(c)所示. TSPC 触发器为单时钟控制,由 M_1 、 M_2 、 M_3 组成的第 1 级反相器的延时为触发器的建立时间, M_4 、 M_5 、 M_6 组成的第 2 级反相器的延时为保持时间,通过调整 MOS 管的参数,使触发器的建立保持时间尽可能得小,从而提升触发器对 START 和 STOP 信号相位关系判断的灵敏度,提升 TDC 的测量精度.

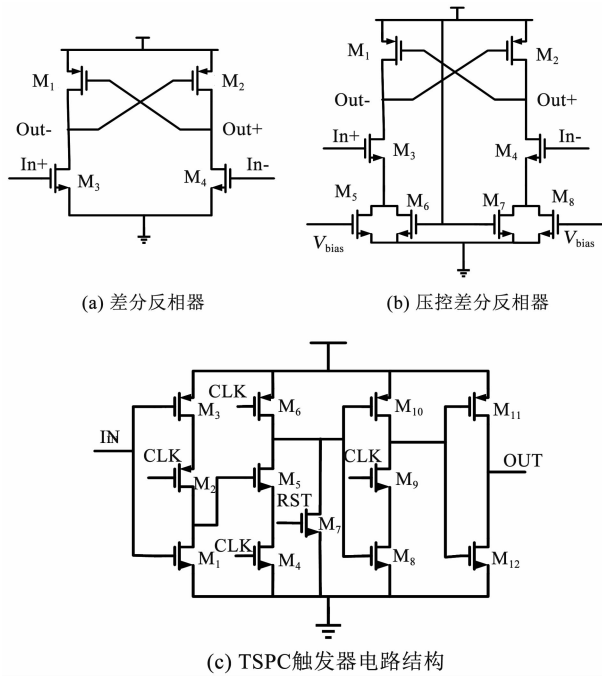


图 6 延时单元和 D 触发器的电路结构

Fig. 6 Circuit structure of delay unit and D flip-flop

2.3 前端接口、编码和存储读出电路

由 TDC 的工作原理可知,二级 TDC 将 CLK 信号作为停止信号来测量不足一个时钟周期的时间余量.在延时链的级数比较大时,单条延时链的延时值可能会大于时钟周期,使输出的温度码包含了多个时间间隔的信息.为此,需要将紧邻 START 信号或 STOP 信号上升沿的下一周期时钟上升沿提取出

来,作为二级 TDC 的 STOP 信号.

每次测量结束之后,编码电路将二级 TDC 输出的温度码转换成二进制码,并产生一个高电平的使能信号.一级 TDC 每次测量结束后也会产生一个高电平的使能信号.只有当使能信号都为高时,才会计算最终的时间间隔 T .

存储电路对地址进行编码,使地址和荧光信号出现的时间相对应,具体为每 16 ps 对应一个地址,即 0 ~ 15 ps 对应 MEM[0], 16 ~ 31 ps 对应 MEM[1],以此类推. TDC 每测得一个荧光信号出现的时间,存储器对应地址的存储单元计数加一.测量一段时间后,串口电路按地址顺序将存储器的数值读出到上位机中,得到荧光光子在时间上的概率分布直方图.

3 仿真结果与分析

在图 1 中,淬灭电路、边沿对准模块和二级 TDC 采用全定制设计思路,以保证电路的性能和版图布局的合理;第 1 级 TDC 和其他电路模块采用 RTL 到 GDS 的半定制设计思路,降低设计难度.整个系统基于 TSMC 0.18 μm CMOS 混合信号工艺实现.

3.1 SPAD 性能仿真

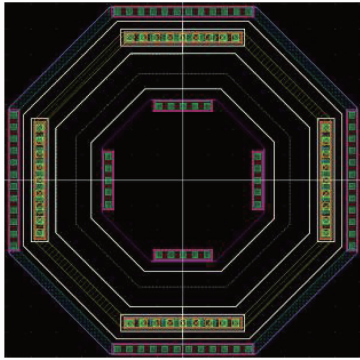
基于 TSMC 0.18 μm 工艺绘制了图 2 中 SPAD 的版图,在满足 DRC 规则的条件下,尽可能使其面积最小,同时为了防止边缘击穿,将 SPAD 的版图绘制为正八边形,如图 7(a)所示.

考虑到该器件主要用于荧光探测,所以仿真时设定入射光波长为荧光的典型波长 480 nm,根据版图图中 SPAD 的尺寸,在 silvaco 中进行了光暗电流的仿真,并根据仿真结果搭建 SPAD 的等效电路模型,结果如图 7(b)、图 7(c)所示.

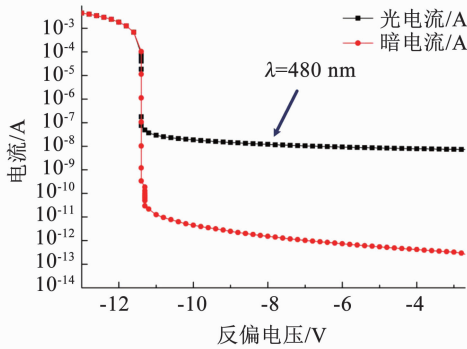
由图 7(b)可以看出,SPAD 器件的雪崩击穿电压大约为 11.3 V,器件未发生雪崩时,暗电流在 10^{-11} A 以下,光电流约为 10^{-8} A,比暗电流大 3 个

数量级. 当 SPAD 发生雪崩之后, 雪崩电流在 10^{-3} A 以上, 由于空间电荷效应, 雪崩电流趋于饱和.

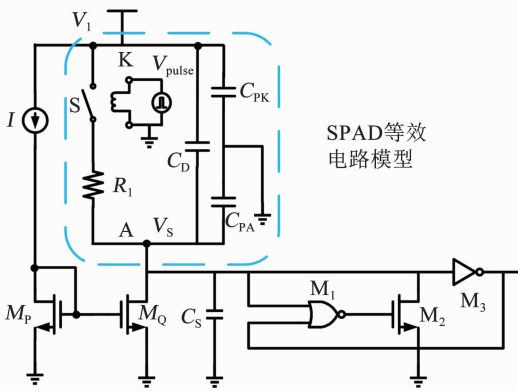
在图 7(c) 中, R_1 是 SPAD 导通时的串联电阻, C_D 是感光区 p-n 结的等效电容, C_{PK} 和 C_{PA} 分别为阳极、阴极和衬底的寄生电容. 根据图 7(b) 所示的仿真结果调整电流源的值, 使从 A 点输出的电流大小为 10^{-3} A, 模拟 SPAD 的雪崩电流.



(a) SPAD 的版图



(b) SPAD 的光电流和暗电流



(c) SPAD 等效电路模型

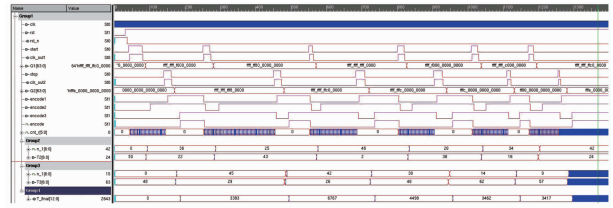
图 7 SPAD 的版图和性能仿真结果

Fig. 7 SPAD layout and performance simulation results

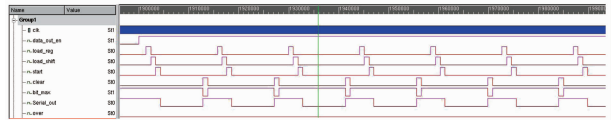
3.2 半定制模块仿真

一级 TDC、前端接口、编码、存储和串口读出电路等模块使用 Verilog HDL 语言描述, 并在 TSCM 0.18 μm CMOS 工艺下进行物理实现, 通过提取版图的寄生参数, 将延时文件 (. sdf) 反标到电路网表

(. v) 基于 VCS 进行后仿真. 后仿真结果如图 8 所示.



(a) 测量结果的计算



(b) 串口数据的读出

图 8 半定制电路后仿真结果

Fig. 8 Post-simulation results of semi-custom circuit

图 8(a) 中, $Q_1[63:0]$ 和 $Q_2[63:0]$ 为外加激励, 模拟二级 TDC 输出的温度码; clk_out1 和 clk_out2 为 CLK 信号经过前端接口电路后的输出; encode1 、 encode2 和 encode3 为编码电路和一级 TDC 完成温度码的转换和时钟周期的计数后产生的使能信号, 当这 3 个使能信号均为高电平, 即 encode 为高电平时, 计算最终时间间隔 T , 输出为 $T_final[12:0]$.

由仿真结果图 8(b) 可以看出, 当控制单元计时达到预定值之后, 结束荧光信号的探测, 并产生高电平的数据_out_en, 串口电路由 CLK 的分频时钟控制, 将存储器中的数据以 19 200 bps 的速度读出, 当控制信号 start 为高时, 开始传输, 按照串口通信协议, 分别输出低电平的起始位和 8 bit 数据位 (这里没有设置奇偶校验位), 当 clear 信号有效时, 结束一个数据的传输. 串口输出端口为 Serial_out, 半定制电路功能符合设计要求, 可以正常工作.

3.3 二级 TDC 仿真

为保证二级 TDC 的精度, 在版图绘制时, 需要将 3 个通道及延时单元做成完全对称的, 以保证每级的连接路径完全相同. 版图采用 1、2、3 级交替排列的布局方式: 通道 1 的第 1 级延时单元的输出跨通道 2 和通道 3 的第 1 级延时单元输入到通道 1 的第 2 级延时单元中, 以此循环. 这种布局方式在保证了对称性的同时, 最大程度压缩了版图的面积.

为消除工艺偏差和电压降的影响, 压控差分延时单元由 6 个电压控制, 其中 V_{ctrl1} 控制第 1 级延时单元的延时大小, V_{ctrl2} 控制第 2 级延时单元的延时大小, $V_{ctrl3-5}$ 分别控制第 3 ~ 18 级、19 ~ 34 级、35 ~ 50 级、51 ~ 64 级的延时大小. 通过调整 $V_{ctrl1-Vctrl6}$ 控制电压的大小, 使得 TDC 能够实现 30 ps 的时间分辨率, $V_{ctrl1-6}$ 的大小如图 9 所示. 其

中,第 1 级延时单元的控制电压最大,实现 30 ps 的延时差;第 2 级延时单元需要保证延时差大小为 60 ps,所以其控制电压次之;其余延时单元只需保证 90 ps 的延时差,其控制电压在同一工艺角下相差在 15 mV 以内。

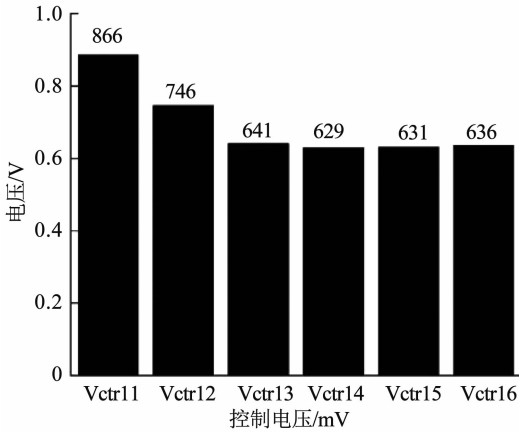


图 9 工艺角 tt 下的控制电压

Fig. 9 Control voltage at process corner tt

对版图提取寄生参数进行后仿真,输入 0 ~ 1 920 ps 均匀分布的时间间隔,通过分析温度码从 1 ~ 0 的变化位置即可得到二级 TDC 的测量结果,见表 1。其中第 3、6、9 组实验由于待测时间间隔为 30 ps 的整数倍,会导致 START 和 STOP 信号在某时刻上升沿重合,无法满足 TSPC 触发器的建立保持时间,导致触发器进入了亚稳态,其余时间间隔测量正确,TDC 可以实现 30 ps 的分辨率。

表 1 二级 TDC 后仿真结果

Tab. 1 Secondary TDC simulation results

序号	输入时间间隔/ps	温度码中最后一个 1 期望出现的位置	温度码中最后一个 1 实际出现的位置
1	200	6	6
2	400	13	13
3	600	20	21
4	800	26	26
5	1 000	33	33
6	1 200	40	39
7	1 400	46	46
8	1 600	53	53
9	1 800	60	61

3.4 系统整体仿真

将完成的半定制模块版图和全定制模块版图进行拼接,得到单光子探测系统的完整版图,如图 10 所示。版图面积为 2 800 μm \times 1 900 μm 。并在 Cadence 中搭建基于 AMS 的仿真环境对系统整体进行数模混合仿真,对两个荧光信号进行连续测量,仿

真结果如图 11 所示。

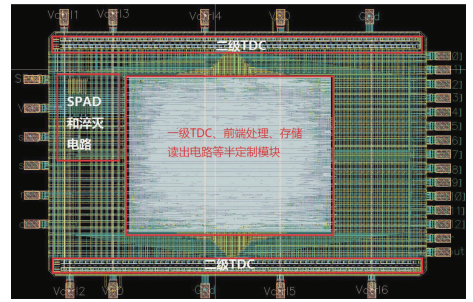


图 10 芯片版图

Fig. 10 Chip layout

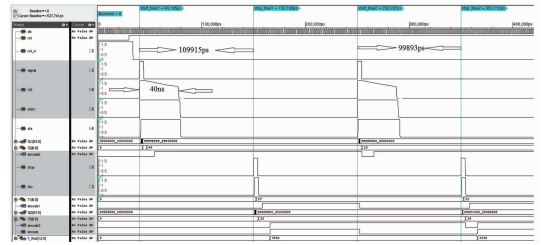


图 11 系统整体混合仿真结果

Fig. 11 System mixed simulation results

由图 11 可知,系统首先对复位信号进行处理,产生同步的全局复位信号 rst_n,随后当激光信号 signal 到达, V_s 电压迅速上升,完成 SPAD 的淬灭,同时产生 TDC 的开始信号 start,随后 V_s 保持一段时间后迅速降到 0 V,完成 SPAD 复位,淬灭电路的死时间大小约为 40 ns。前端接口电路对 CLK 信号处理,输出为 sta 和 sto,二级 TDC 测量 start 和 sta、stop 和 sto 两个时间间隔,分别输出温度码 Q1 [63:0] 和 Q2 [63:0],编码电路将两个温度码转换为二进制码 T2 [6:0] 和 T3 [6:0],并产生两个使能信号 encode2 和 encode3。一级 TDC 计数 start 和 stop 之间的时钟周期个数输出为 T1 [6:0],计数完成后产生使能信号 encode1。当 3 个使能信号均有效时,即 encode 为高电平时,计算出最后结果 T_final [12:0]。

第 1 次测量结果为

$$T_{\text{测量}1} = (64 \times 57 + 44 - 28) \times 30 \text{ ps} = 3\ 664 \times 30 \text{ ps} = 109\ 920 \text{ ps} \approx T_{\text{理论}1} = 109\ 915 \text{ ps}.$$

第 2 次测量结果为

$$T_{\text{测量}2} = (64 \times 52 + 20 - 18) \times 30 \text{ ps} = 3\ 330 \times 30 \text{ ps} = 99\ 900 \text{ ps} \approx T_{\text{理论}2} = 99\ 893 \text{ ps}.$$

仿真结果表明,淬灭电路可以完成 SPAD 的淬灭和复位,测量死时间约为 40 ns;TDC 可以正确测量荧光信号的出现时间,两次测量误差均小于 10 ps,可以保证 30 ps 的时间分辨率。

表 2 列出了本文与部分文献中的基于 TDC 的单光子探测系统的性能对比。可以看到,本文设计的单光子探测系统工作频率较高,TDC 的动态范围和

测量精度明显提高,淬灭电路的死时间优化显著,整体综合性能提升明显.

表 2 基于 TDC 的单光子探测系统性能对比

Tab. 2 Comparison of performance of single photon detection system based on TDC

性能参数	工艺/nm	时钟频率 /MHz	TDC 动态 范围/ns	TDC 分辨 率/ps	淬灭死 时间/ns
文献[5]	180	285	112	141.0	500
文献[6]	180	300	N. A.	416.0	8
文献[7]	180	35	160	100.0	N. A.
文献[8]	130	250	9	7.3	N. A.
本文	180	526	241	30.0	40

4 结 论

1) TDC 整体采用两级结构,实现了 30 ps 的时间分辨率和 241 ns 的动态范围.

2) 第 2 级 TDC 采用三通道游标型整体架构,结合差分结构的延时单元,将时间不确定度降低到传统结构的 57% 以下.

3) SPAD 器件采用非接触保护环结构,击穿电压大约为 11.3 V,雪崩击穿电流大于 10^{-3} A.

4) 淬灭电路结合主被动淬灭的优势,抑制后脉冲产生的同时使探测死时间小于 40 ns. 系统在 526 MHz 控制时钟下对两个荧光信号进行仿真测量,测量误差均小于 10 ps. 本文设计的单光子探测系统在工作频率、测量精度、测量范围和测量误差等方面具有一定的优势,能够应用于荧光寿命成像.

参 考 文 献

- [1] OKABE K, INADA N, GOTA C, et al. Intracellular temperature mapping with a fluorescent polymeric thermometer and fluorescence lifetime imaging microscopy [J]. *Nature Communications*, 2012, 3(5): 705. DOI: 10.1038/ncomms1714
- [2] BEREZIN M Y, ACHILEFU S. Fluorescence lifetime measurements and biological imaging [J]. *Chemical Reviews*, 2010, 110(5): 2641. DOI: 10.1021/cr900343z
- [3] MARCU L. Fluorescence lifetime techniques in medical applications [J]. *Annals of Biomedical Engineering*, 2012, 40(2): 304. DOI: 10.1007/s10439-011-0495-y
- [4] WANG Xinlei, NIE Kaiming, QIAO Jun, et al. Modeling and simulation of time-gated FLIM SPAD image sensors [C]//Selected Papers from Conferences of the Photoelectronic Technology Committee of the Chinese Society of Astronautics 2014. Suzhou: SPIE, 2015: 990. DOI: 10.1117/12.2182158
- [5] JIN Xiangliang, TANG Lizhen, YANG Hongjiao, et al. Pixel design for time-of-flight range detector with time-to-digital converter [C]//Proceedings of the 12th IEEE International Conference on Solid-state and Integrated Circuit Technology. Guilin: IEEE, 2014: 876. DOI:

- 10.1109/ICSICT.2014.7021270
- [6] 曹静, 张钊, 祁楠, 等. 用于 LiDAR 的 16×1 列阵 CMOS 单光子 TOF 图像传感器 [J]. *光子学报*, 2019, 48(7): 0704001
CAO Jing, ZHANG Zhao, QI Nan, et al. A 16×1 pixels 180 nm CMOS SPAD-based TOF image sensor for LiDAR applications [J]. *Acta Photonica Sinica*, 2019, 48(7): 0704001
- [7] NGUYEN V N, LEE J W. A low power two-step cyclic time-to-digital converter without startup time error in 180 nm CMOS [C]//Proceedings of the 2nd International Conference on Recent Advances in Signal Processing, Telecommunications and Computing. Ho Chi Minh: IEEE, 2018: 116. DOI: 10.1109/SIGTELCOM.2018.8325773
- [8] CHENG Zeng, DEEN M J, PENG Hao. A low-power gateable Vernier ring oscillator time-to-digital converter for biomedical imaging applications [J]. *IEEE Transactions on Biomedical Circuits and Systems*, 2016, 10(2): 445. DOI: 10.1109/tbcas.2015.2434957
- [9] PANCHERI L, STOPPA D, DALLABETTA G F. Characterization and modeling of breakdown probability in sub-micrometer CMOS SPADs [J]. *IEEE Journal of Selected Topics in Quantum Electronics*, 2014, 20(6): 328. DOI: 10.1109/jstqe.2014.2327791
- [10] LI D U, ARLT J, RICHARDSON J, et al. Real-time fluorescence lifetime imaging system with a 32×32 0.13 μm CMOS low dark-count single-photon avalanche diode array [J]. *Optics Express*, 2010, 18(10): 10257. DOI: 10.1364/OE.18.010257
- [11] STOPPA D, MOSCONI D, PANCHERI L, et al. Single-photon avalanche diode CMOS sensor for time-resolved fluorescence measurements [J]. *IEEE Sensors Journal*, 2009, 9(9): 1084. DOI: 10.1109/JSEN.2009.2025581
- [12] RICHARDSON J A, WEBSTER E A G, GRANT L A, et al. Scaleable single-photon avalanche diode structures in nanometer CMOS technology [J]. *IEEE Transactions on Electron Devices*, 2011, 58(7): 2028. DOI: 10.1109/ted.2011.2141138
- [13] 吴佳骏, 谢生, 毛陆虹, 等. 基于标准 CMOS 工艺的非接触式保护环单光子雪崩二极管 [J]. *光子学报*, 2018, 47(1): 0125001
WU Jiajun, XIE Sheng, MAO Luhong, et al. Single photon avalanche diode with non-contact guard ring based on CMOS technology [J]. *Acta Photonica Sinica*, 2018, 47(1): 0125001. DOI: 10.3788/gzxb20184701.0125001
- [14] VILÀ A, VILELLA E, ALONSO O, et al. Crosstalk-free single photon avalanche photodiodes located in a shared well [J]. *IEEE Electron Device Letters*, 2014, 35(1): 99. DOI: 10.1109/LED.2013.2288983
- [15] GIUSTOLISI G, GRASSO A D, PALUMBO G. Integrated quenching-and-reset circuit for single-photon avalanche diodes [J]. *IEEE Transactions on Instrumentation and Measurement*, 2015, 64(1): 271. DOI: 10.1109/TIM.2014.2338652
- [16] 侯强, 揭灿, 姚亚峰, 等. 一种结合高分辨率 TDC 的快速全数字锁相环设计 [J]. *哈尔滨工业大学学报*, 2018, 50(11): 83
HOU Qiang, JIE Can, YAO Yafeng, et al. A fast all digital phase-locked loop design with high resolution TDC [J]. *Journal of Harbin Institute of Technology*, 2018, 50(11): 83. DOI: 10.11918/j.issn.0367-6234.201803148

(编辑 张 红)