DOI:10.11918/j.issn.0367-6234.201808088

一种无毛刺 DLL 型 90°移相器设计

梁承托[1,2],梁利平[1],王志君[1]

(1.中国科学院微电子研究所,北京 100029; 2.中国科学院大学,北京 100049)

摘 要: 延时锁相环(delay look loop,DLL)型90°移相器广泛应用于双倍数据率同步动态存储器(double data rate synchronous dynamic random access memory,DDR SDRAM)中对时钟信号进行90°相移,实现数据双沿采样,以提高数据传输速率.数控延时线是DLL型90°移相器的重要组成部分.为解决传统数控延时线在延时调节过程中产生毛刺的问题,分析了传统数控延时线产生毛刺的原因,并提出一种结合锁存器和时钟门控单元的无毛刺数控延时线.引入锁存器和时钟门控使该无毛刺数控延时线的数字控制信号有序进行状态切换,达到抑制毛刺产生的目的.另外,将提出的无毛刺数控延时线应用于DLL型90°移相器中,成功消除了90°相移时钟的毛刺.设计采用SMIC 65 nm工艺来实现,供电电压为1.2 V,版图面积为0.018 mm^2,用HSPICE进行仿真,结果表明:该移相器的工作频率范围为217 MHz~1 GHz,工作在1 GHz时,功耗为2.8 mW;供电电压添加100 MHz 30 mV正弦波噪声时,90°相移时钟的抖动峰峰值和均方根值分别为17.77 ps和5.16 ps.而且,移相器在进行工艺、电压、温度(process-voltage-temperature,PVT)跟随调节过程中,输出的90°相移时钟可有效避免毛刺问题.

关键词: 无毛刺;数控延时线;双倍数据率;延时锁相环;移相器

中图分类号: TN495 **文献标志码:** A **文章编号:** 0367-6234(2019)10-0068-08

Design of a glitch free DLL supported 90°phase shifter

LIANG Chengtuo[1,2], LIANG Liping[1], WANG Zhijun[1]

(1. Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China;
2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: Delay lock loop (DLL) supported 90°phase shifters are widely used in double data rate synchronous dynamic random access memory (DDR SDRAM) to generate 90°phase-shifted clock, which achieves double data rate sampling and improves data-rate. Digitally controlled delay line (DCDL) plays a critical role in the DLL supported 90°phase shifter. To remove glitches in traditional DCDL during the process of delay adjustment, the causes of glitches generation were analyzed, and a glitch free digitally controlled delay line (GFDL) with latch and clock gating was proposed. The latch and clock gating were employed in GFDL shift digital control signals sequentially thus glitches were removed. Moreover, the proposed GFDL was used in the DLL supported 90°phase shifter to eliminate the glitches. The proposed DLL supported 90°phase shifter adopted SMIC 65 nm CMOS process with an active area of 0.018 mm^2 and the supply voltage of 1.2 V. HSPICE simulation results indicated that the proposed DLL supported 90° phase shifter had an operating frequency ranging from 217 MHz to 1GHz and consumed 2.8 mW at 1 GHz. The peak-to-peak and root-mean-square jitters of 90°phase-shifted clock were 17.77 ps and 5.16 ps respectively when a sine noise of 100 MHz and 30 mV was supplied. In addition, when the phase shifter track the process-voltage-temperature (PVT) variations, the outputted 90°phase-shifted clock effectively avoided glitch issues.

Keywords: glitch free; digitally controlled delay line; double data rate; delay lock loop; phase shifter

DLL由于其结构简单,且抗PVT特性良好,广泛应用于时钟同步、时钟发生器等电路系统中[1-3].DLL的一个典型应用是DLL型90°移相器[4-5],可产生90°相移时钟,用于DDR SDRAM中,从而实现双倍数据率采样,在不改变时钟频率的条件下提高数据的传输速率.常见的DLL通过延时线来实现时钟的相移调节.延时线一般分为压控延时线[6]和数控延时线[7]两种.压控延时线是通过改变其栅电压实现延时调节;而数控延时线则是通过调整其数字控制信号以改变延时路径,从而实现延时调节.数控延时线结构简单,可全部由数字标准单元构成,不需要电容元件和电荷泵电路,易集成到数字电路系统中,面积也相对较小.但数控延时线是通过改变时钟信号(输入为时钟信号时)的延时路径来实现延时调节,因此在延时调节过程中会在输出端产生毛刺,这些毛刺可能会被相关的电路模块认为是时钟的上

收稿日期: 2018-08-19
基金项目: 国家自然科学基金(61471354)
作者简介: 梁承托(1990—),男,博士研究生;
梁利平(1969—),男,研究员,博士生导师
通信作者: 梁利平,liangliping@ime.ac.cn

升沿或下降沿，从而导致使用该时钟的电路系统出现数据采样错误[8].

本文针对传统数控延时线出现的上述问题，提出了一种无毛刺数控延时线结构，该结构在传统与非门数控延时线的基础上增加了锁存器和时钟门控单元，使延时线数字控制信号的状态切换有序化，从而有效避免时钟毛刺的出现. 提出的无毛刺数控延时线应用于 DLL 型 90°移相器中，有效确保移相器在进行 PVT 跟随时，其输出的 90°相移时钟不会产生毛刺. 而且，该无毛刺数控延时线全部由标准单元构成，支持大规模数字电路设计流程，可用自动布局布线工具(如 ICC)进行布局布线，能有效缩短设计周期.

1　传统数控延时线

图 1 是文献[7]介绍的一种基于与非门的传统数控延时线. 该延时线最小延时不受延时线长度的限制，因此被广泛应用于 DLL，数控振荡器和时钟管理模块等电路结构中. 该延时线的延时受数字信号 OE[n:0]控制(n 为整数，与延时线的级数相关). 以前三级为例，当 OE[2:0] =000 时，CK_{IN}通过与非门 1 和 2，延时为 $2t_{NAND}$(t_{NAND}为单级与非门的延时)；当 OE[2:0] =001 时，CK_{IN}通过与非门 3、4、5 和 2，延时为 $4t_{NAND}$；当 OE[2:0] =011 时，CK_{IN}信号通过与非门 3、6、7、8、5 和 2，延时为 $6t_{NAND}$；更多级数的延时控制以此类推.

如图 2 所示，以 OE[2:0]从 000 切换到 001 为例分析时钟毛刺产生的原因. 由于控制信号 OE[2:0]切换时间不确定，该控制信号从 000 切换到 001 的过程中可能会导致时钟输出端 CK_{OUT}产生毛刺. 出现毛刺的具体原因分析如下：在 t_0时刻，OE[0]从 0 跳变到 1，经过一个非门和与非门 1 的延时后在节点 e 产生一个上升沿，此时，因为节点 c 为 1，所以节点 e 的上升沿经过与非门 2 后在 CK_{OUT}端产生一个下降沿；另外，t_0时刻 OE[0]的上升沿经过与非门 3 的延时后在节点 a 生成一个下降沿，由于其他高位控制信号 OE[2:1]均为 0，节点 a 的下降沿通过与非门 4、5、2 在 CK_{OUT}端产生一个上升沿. 由此可见，t_0时刻 OE[0]的上升沿经反相器和与非门 1、2 在 CK_{OUT}端生成的下降沿和经与非门 3、4、5、2 在 CK_{OUT}端生成的上升沿共同作用形成一个窄的时钟毛刺. 由图 2 可看出，毛刺的产生是 OE[0]在节点 CK_{IN}为高电平时切换其状态导致的，因为在节点 CK_{IN}为高电平时，OE[0]的电平变化会通过与非门 3 和 1 传递到节点 a 和 e 并分别生成时钟沿，两个节点的时钟沿传递到 CK_{OUT}端导致毛刺出现. 同理，如果 OE[1]在节点 a 为高电平时切换其状态，也会导致毛刺出现. 其他控制信号状态切换可依此类推.

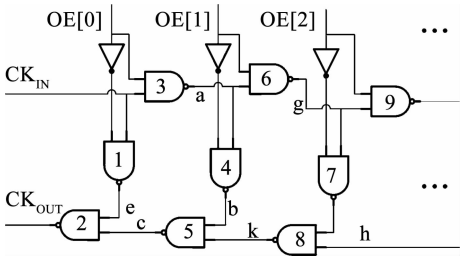


图 1　传统数控延时线

Fig. 1　Traditional DCDL

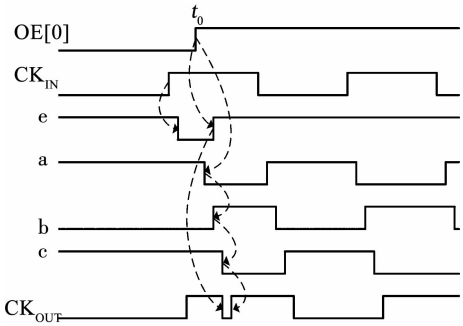


图 2　传统数控延时线毛刺

Fig. 2　Glitch of traditional DCDL

2　锁存器及时钟门控

本文提出的无毛刺数控延时线需用到锁存器和时钟门控，因此本文先简单介绍锁存器和时钟门控. 锁存器(latch)是数字电路中具有存储功能的逻辑元件[9]，它是一个电平敏感电路. 如图 3(a)所示，在时钟信号为低电平时把输入 D 传送到输出端 Q，此时锁存器处于透明(transparent)模式. 当时钟跳变到高电平时，在时钟上升沿处被采样的输入数据在输出端保持稳定，此时锁存器处于维持(hold)模式. 工作在这些情形下的锁存器被称为负锁存器，负锁存器及其时序如图 3(a)所示. 同理，一个正锁存器在时钟信号为高电平时把输入 D 传送到输出 Q，如图 3(b)所示.

时钟门控[10]常用于时钟信号的开启和关断，以减小大规模数字集成电路的动态功耗，其电路和时序波形如图 4 所示. 简单的时钟门控由一个与门/或门就可以完全实现，但是时钟的使能信号 E 在 0 和 1 之间的切换时刻无法确定，可能会导致通过时钟门控后的时钟产生毛刺(glitch)，造成时序逻辑电路功能错误. 而基于锁存器的时钟门控可以很好地解决该时钟毛刺问题. 如图 4 所示，基于锁存器的时钟门控在上述或门时钟门控中加入了一个电平触发的锁存器. 由时序图可见，锁存器只有在时钟处在高电

平时为透明期,即在时钟为高电平时将 E 传输到 Q 端(OEG),因此 OEG 只有在 CK 为高电平时才会发生状态切换. 而 CK 为高电平时,CKG 恒为高电平,不受 OEG 状态切换的影响,因此 E 状态切换造成的毛刺被成功屏蔽.

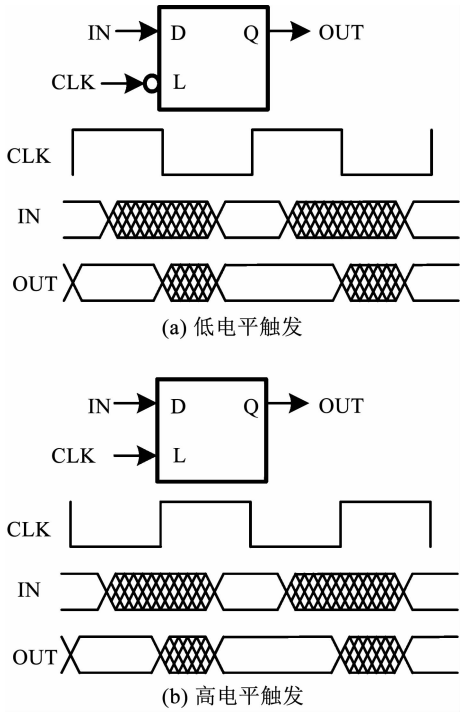


图 3 锁存器符号及其时序图[9]

Fig. 3 Symbols and timing diagrams of latch[9]

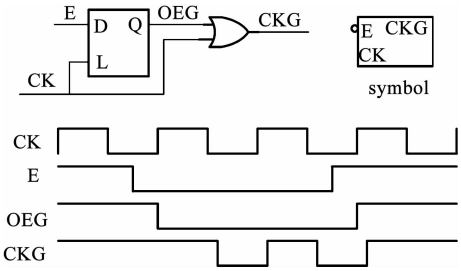


图 4 时钟门控及其时序图

Fig. 4 Architecture and timing diagram of clock gating

3 无毛刺数控延时线

为解决毛刺问题,提出了图 5 所示的无毛刺数控延时线(glitch free digitally controlled delay line, GFDL)结构. 在传统数控延时线的基础上引入了寄存器,锁存器和时钟门控单元. 由于数字控制信号 OE 相对于门控时钟 CKG 是异步信号,引入两级寄存器将 OE 与 CKG 同步以消除亚稳态,同步后输出为 OER. 信号 OER 经锁存器锁存后输出为 OEG 传递到延时线上. 引入锁存器是为了保证控制信号 OE 的状态切换仅在延时线可能产生毛刺的节点(即 CK_{IN},a,g,…)为 0 时才传递到延时线的延时控制节点(即 OEG[0], OEG[1], OEG[2], …)上,避免因 OE 状态切换造成输出时钟出现毛刺. 引入时钟门控主要是针对有多位 OE 信号同时由 1 切换到 0 的情形,时钟门控的使能端 E 连接后一级的 OEG 信号,可确保多位 OE 由 1 到 0 的状态切换是从高位到低位逐位传递到延时线的节点 OEG 上.

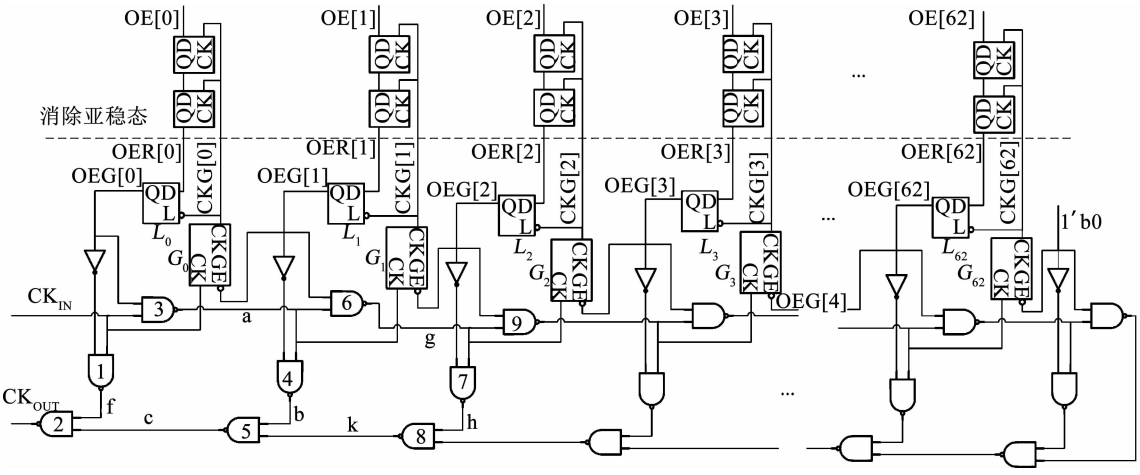
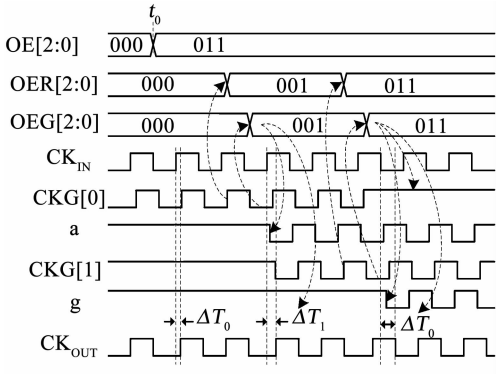


图 5 本文提出的无毛刺数控延时线

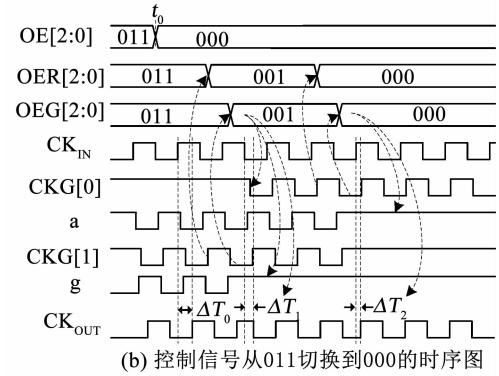
Fig. 5 The proposed glitch free DCDL

以前三级延时调节为例,图 6(a)是 GFDL 的前三级数字控制信号 OE[2:0]从 000 切换到 011 的时序图. 在 t_0时刻,OE[2:0]从 000 切换到 011. OE[0]跳变到 1 后经门控时钟 CKG[0](时钟门控 G_0的输出时钟)触发的两级寄存器两拍采样后输出到 OER[0]并使得 OER[0]变为 1. 通过两拍采样得到的 OER[0]与时钟 CKG[0]上升沿同步并消除了亚稳态问题. OER[0]变为 1 后,在 CKG[0]变为低电平时,触发锁存器 L_0将 OER[0]锁存并使得 OEG[0]跳变到 1. 从而将延时线的延时从 $\triangle T_0$调整为 $\triangle T_1$.

因为 L_0 只会在时钟 CKG[0]为低电平时才会锁存 OER[0]更新 OEG[0]的值，由图 6(a)可知，CKG[0]为低电平锁存 OER[0]时，CK_{IN} 也为低电平，此时，与非门 1 和 3 关断，使得与非门 1 和 3 的输出节点 f 和 a 恒为 1，因此 OEG[0]的值在 CK_{IN} 为低电平时发生改变，不会传递到节点 f 和 a，从而避免了因节点 OEG[0]电平切换导致的毛刺. OEG[0]跳变到 1 后，延时路径从与非门 1、2 变成与非门 3、4、5、2. 时钟 CK_{IN} 经过与非门 3 后传递到节点 a，使节点 a 由恒 1 变为周期性时钟信号. 由于 OEG[2]为 0，节点 a 的时钟可通过时钟门控 G_1 传递到 CKG[1]，OE[1]经过 CKG[1]的两个时钟上升沿同步后输出到 OER[1]，使得 OER[1]由 0 变为 1，然后，锁存器 L_1 在节点 CKG[1]变为低电平时，将 OER[1]的值传输到节点 OEG[1]，使 OEG[1]变为 1. 从而将延时线的延时从 ΔT_1 调整为 ΔT_2. OEG[1]只在节点 CKG[1]为低电平时才发生跳变，此时，节点 a 也为低电平，所以 OEG[1]的变化不会传递到节点 g 和 b 上，从而有效避免毛刺. OEG[1]跳变到 1 后，一方面，关断时钟门控 G_0，使门控时钟 CKG[0]变为恒 1；另一方面，使延时路径从与非门 3、4、5、2 变成与非门 3、6、7、8、5、2. 时钟信号 CK_{IN} 经过与非门 3、6 后传递到节点 g，因此节点 g 由恒 1 变为周期性时钟信号. 至此，OE 的状态切换完全传递到节点 OEG 上，并成功避免毛刺的出现.



(a) 控制信号从000切换到011的时序图



(b) 控制信号从011切换到000的时序图

图 6　无毛刺数控延时线的时序图

Fig. 6　Timing diagrams of the glitch free DCDL

图 6(b)是 GFDL 的前三级控制信号 OE[2:0]从 011 切换到 000 的时序图. 当 OEG[1]为 1 时时钟门控 G_0 是关闭的，其输出端 CKG[0]恒为 1. 这是为了避免 OEG[0]先于 OEG[1]切换到 0，切断节点 a 的时钟，导致 OEG[1]无法切换到 0. OE[2:0]在 t_0 时刻从 011 切换到 000，OE[1]经时钟 CKG[1]两拍同步后输出到 OER[1]，使 OER[1]变为 0. 信号 OER[1]变为 0 后，在 CKG[1]变为低电平时，锁存器 L_1 将 OER[1]的值传输至 OEG[1]，使 OEG[1]切换到 0. 信号 OEG[1]切换到 0 后，一方面关断与非门 6 开启与非门 4，使得延时路径从与非门 3、6、7、8、5、2 变成与非门 3、4、5、2，延时线的延时从 ΔT_2 调整为 ΔT_1，与非门 6 的关断使得节点 g 由周期时钟信号变成恒 1；另一方面开启了时钟门控 G_0，使得时钟 CK_{IN} 传递到 CKG[0]. 然后，OE[0]经时钟 CKG[0]两个上升沿同步后输出到 OER[0]，使 OER[0]变为 0. 信号 OER[0]变为 0 后，在 CKG[0]变为低电平时，锁存器 L_0 将 OER[0]的值传输至 OEG[0]，使 OEG[0]切换到 0. 信号 OEG[0]切换到 0 后，关断与非门 3 开启与非门 1，使延时路径从与非门 3、4、5、2 变成与非门 1、2，延时线的延时从 ΔT_1 调整为 ΔT_0，延时调节完成. 与非门 3 的关断使节点 a 由周期时钟信号变成恒 1.

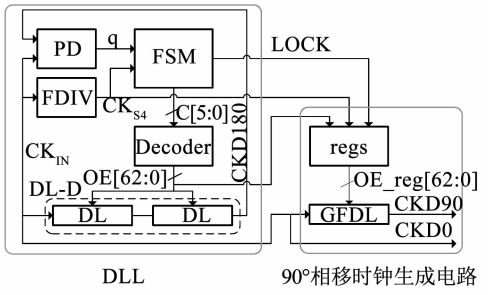
由上述分析可知，引入时钟门控 G_0 和锁存器 L_0，使 OEG[0]状态只在节点 CK_{IN} 为低电平时切换，此时，与非门 1、3 关闭，能有效避免因 OEG[0]状态切换产生毛刺；类似的，G_1 和 L_1 使 OEG[1]状态只在节点 a 为低电平时切换，此刻，与非门 4、6 关闭，也能有效避免因 OEG[1]状态切换产生毛刺. 其他 OEG 控制位的状态切换可以此类推. 总而言之，引入时钟门控和锁存器，使延时线数字控制信号的状态切换有序化，有效解决了毛刺问题.

4　无毛刺 DLL 型 90°移相器

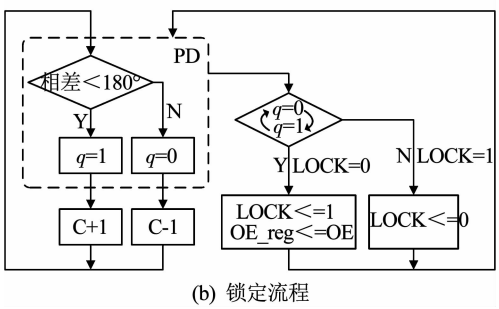
图 7 是本文提出的无毛刺 DLL 型 90°移相器(简称无毛刺移相器)结构，主要由鉴相器(PD)、分频电路(FDIV)、有限状态机(FSM)、译码器(Decoder)、传统数控延时线(DL)以及 90°相移时钟生成电路构成. 90°相移时钟生成电路采用本文提出的无毛刺数控延时线(GFDL)，其延时是 DLL 级联反馈延时链(DL-D)的 1/2. DLL 根据输入时钟的频率调节 DL-D 的延时，使反馈时钟 CKD180 与参考时钟 CK_{IN} 锁定在 180°的相差上. DLL 锁定后，GFDL 就会产生 90°相移时钟，该时钟可输送给相关电路模块如 DDR 数据接口电路使用. DDR 双沿采样需要严苛的 90°相移时钟，但是延时线易受 PVT 特性

的影响使其延时产生较大波动. 而在芯片内部,特别是大规模的数字集成电路芯片内部,PVT 条件变化较大[7],延时线置于这样的工作环境中,其延时势必随 PVT 的变化产生较大波动. 因此 DLL 锁定后,仍需进行 PVT 跟随调整. 但是,由对传统数控延时线的分析可知,其延时调节过程可能会出现毛刺(glitch). 这种短时间间隔的毛刺可能会被相关电路模块认为是一个时钟周期的开始,从而造成电路逻辑功能错误[8]. 因此,90°相移时钟生成电路模块采用了本文提出的无毛刺数控延时线(GFDL),确保该模块在跟随 PVT 调节的过程中不会产生毛刺;而 DLL 的反馈回路延时链(DL-D)仍由两级传统数控延时线(DL)构成,以减小面积开销.

传统 DLL 型 90°移相器通常会锁定在 360°相差上,并取该相差的 1/4 可得到 90°相移时钟[4,11]. 为了消除阻塞锁定并缩短延时线,本文的无毛刺移相器会锁定在 180°相差上,并通过 90°相移时钟生成电路复现 180°相差的 1/2 值得到 90°相移时钟 CKD90. 本文的无毛刺移相器工作原理如图 7(b)所示. FSM 根据 PD 的鉴相结果通过调节控制码 C 对延时链 DL-D 的延时进行反馈调节,直到 PD 的输出 q 反复在 1 和 0 之间跳变,表示 CKD180 和 CK_{IN} 的相差已经足够接近 180°. FSM 就会判定 DLL 进入锁定状态,将 LOCK 置 1,同时将 DL-D 的控制信号 OE 存入寄存器组 regs 中以更新 OE_reg 的值,OE_reg 控制 GFDL 生成 90°相移时钟 CKD90. 当 PVT 发生较大变化时,CKD180 和 CK_{IN} 的相差较大地偏离



(a) 电路结构



(b) 锁定流程

图 7 无毛刺 DLL 型 90°移相器及其锁定流程图

Fig. 7 Glitch free DLL supported 90° phase shifter and locking process

180°相差,从而出现 q 在多个反馈调节周期内恒为 0 或 1 的情况,此时,FSM 判定 DLL 失锁,将 LOCK 置 0,并重新调整 DL-D 的延时,直到实现二次锁定,将 LOCK 重新置 1,同时 OE_reg 也被同步更新,重新调整 GFDL 的延时,生成新 PVT 条件下的 90°相移时钟. GFDL 在延时调整过程中不会产生毛刺,可实时跟随新的 PVT 条件进行延时调节,而不影响其输出时钟 CKD90 在其他模块电路的使用.

5 物理实现及仿真结果

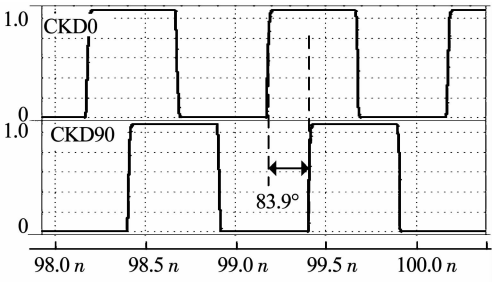
本文使用 SMIC65 nm CMOS 工艺实现无毛刺移相器的设计. 通过 ICC 自动布局布线得到如图 8 所示版图. 延时线的延时受元件位置和布线的影响,因此需要手工有序摆放,而 FSM,寄存器组以及译码器等其他模块由于时序较宽松,可由 ICC 自动布局摆放即可.

图 8 版图设计

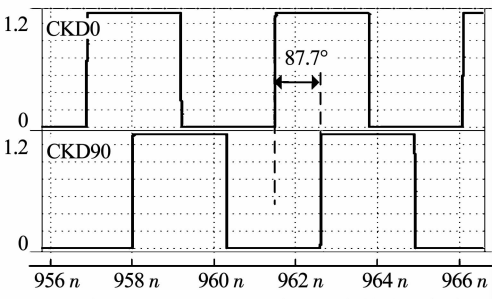
Fig. 8 Layout design

图 9(a)、图 10(a)分别是系统时钟频率为 1GHz,最慢 PVT 条件(即 SS 1.08 V 125 ℃)下的前仿真和后仿真结果,无毛刺移相器锁定后,两路时钟 CKD90 和 CKD0 的相差分别为 83.9°、81.9°,误差分别为 6.78%、9.00%. 因为 SS 1.08 V 125 ℃的 PVT 条件下延时线的每一级步长达到最大,该 PVT 条件下,锁定频率能达到 1 GHz,表明在其他 PVT 条件下锁定频率也能达到 1 GHz. 图 9(b)、图 10(b)分别是系统时钟频率为 217 MHz,最快 PVT 条件(即 FF 1.32 V -40 ℃)下的前仿真和后仿真结果,无毛刺移相器锁定后,两路时钟 CKD90 和 CKD0 的相差分别为 87.7°、86.9°,误差分别为 2.56%、3.44%. 因为 FF 1.32V -40℃的 PVT 条件下延时线的每一级步长达到最小,该 PVT 条件下,锁定频率能达到 217 MHz,表明在其他 PVT 条件下锁定频率也能达到 217 MHz. 综上所述,提出的无毛刺移相器在介于最慢和最快的所有 PVT 条件下都能正常工作在 217 MHz ~ 1 GHz 的频率范围内.

后仿真是在前仿真的基础上,将版图的各节点寄生电阻、电容参数全部提出,并加入仿真. 对比前仿真波形,由于增加了节点电阻电容,后仿真波形电平跳变的斜率有所增大,且在电平跳变处有小的电压过冲(如图 10(b)放大处所示). 另外,由于节点电阻和电容的存在,后仿真 90°相移时钟的相位误差稍微有所增大.



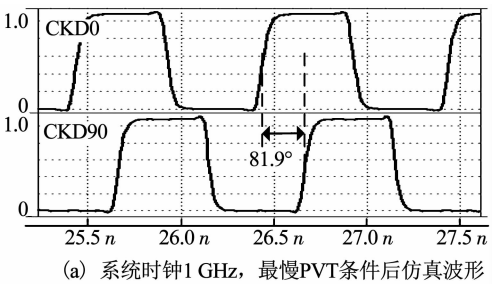
(a) 系统时钟1 GHz，最慢PVT条件前仿真波形



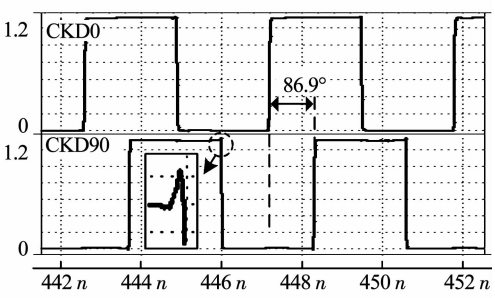
(b) 系统时钟217 MHz，最快PVT条件前仿真波形

图 9　无毛刺移相器前仿真波形

Fig. 9　Pre-simulated results of the glitch free phase shifter



(a) 系统时钟1 GHz，最慢PVT条件后仿真波形



(b) 系统时钟217 MHz，最快PVT条件后仿真波形

图 10　无毛刺移相器后仿真波形

Fig. 10　Post-simulated results of the glitch free phase shifter

成熟稳压源(low dropout，LDO)电路可将电压波动控制在 30 mV 以内[12]，因此本文在进行时钟抖动仿真时给电源电压添加了 100 MHz 30 mV 正弦波噪声，得到无毛刺移相器的输出 90° 相移时钟 CKD90 在各频率点的抖动峰峰值和均方根值，分别如图 11 的两条曲线所示. 1 GHz 时，CKD90 的抖动峰峰值和均方根值分别为 17.77、5.16 ps.

图 12 为无毛刺移相器在 SS，1.1 V，125 ℃的 PVT 条件下的电压跟随仿真波形，无毛刺移相器首次锁定后，在 100 ns 时刻 VDD 从 1.1 V 切换到 1.3 V. 无毛刺移相器因其反馈延时链(DL-D)的延时受该电压波动的影响而失锁. 无毛刺移相器失锁后重新调节实现二次锁定并重新调整 90° 相移时钟，以减小其误差. 通过对比仿真结果可知，90° 相移时钟生成电路采用传统数控延时线(DL)时，二次调整会导致 90° 相移时钟 $CKD90_{DL}$ 出现毛刺；而采用本文提出的无毛刺数控延时线(GFDL)时，输出的 90° 相移时钟 $CKD90_{GFDL}$ 在二次调节过程中成功消除了毛刺. 由此可见，本文提出的 GFDL 能有效抑制延时线数字控制信号状态切换导致的毛刺，使 90° 相移时钟生成电路中的延时线在工作过程中能实时进行电压等 PVT 特性跟随，解决了数控延时线因毛刺现象无法实时地进行 PVT 跟随调节的问题.

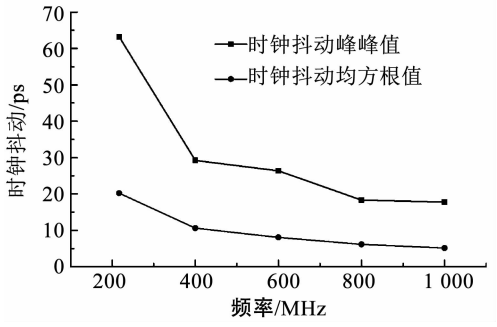


图 11　各频率点下 90°相移时钟抖动

Fig. 11　Simulated jitters of 90° shifted clock at different frequencies

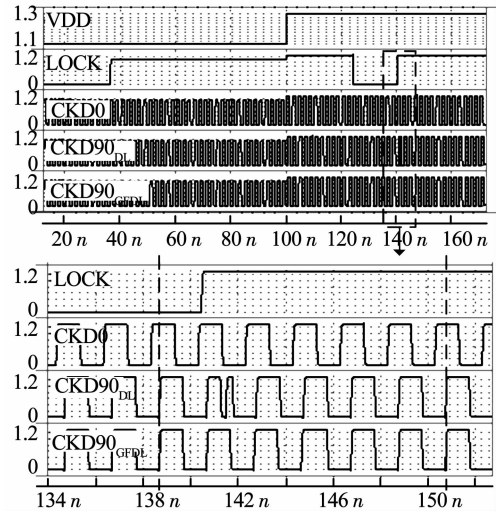


图 12　无毛刺移相器电压跟随仿真

Fig. 12　Simulation for voltage tracking of glitch free phase shifter

移相器的另一个特性是希望无噪声干扰，波形完整，因此本文对移相器的输出 90° 相移时钟 CKD90 进行噪声仿真，移相器锁定在 1 GHz 和 217 MHz时(PVT 条件分别与图 10(a)、(b)一致)，CKD90 的噪声特性分别如图 13 上侧和下侧所示，CKD90 的噪声随其频率的增加而下降；移相器锁定

在 1 GHz 和 217 MHz 时,在 100 MHz 频率点处的噪声功率密度分别约为 4.874 6、3.568 0 nV^2/Hz. 可见,CKD90 的噪声功率较小,可满足系统低噪声的要求.

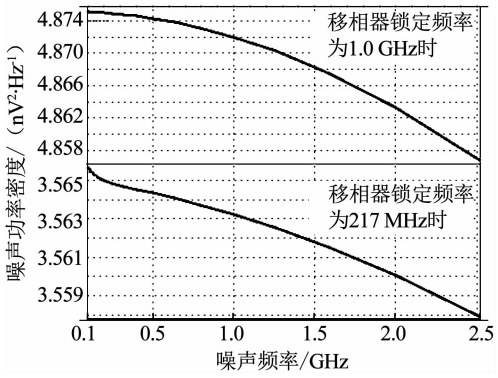


图 13 输出时钟(CKD90)的噪声特性仿真

Fig. 13 Simulated noise of CKD90

本文设计的无毛刺移相器与其他文献的性能比较见表 1,提出的无毛刺移相器能有效消除时钟毛刺,且工作频率范围为 217 MHz 到 1 GHz. 具有无毛刺,工作频率范围宽、低电压、低功耗、高性能等特点.

表 1 移相器的性能比较

Tab. 1 Comparison of phase shifter performance with reference

参数	工艺/nm	电压/V	功耗/mW	面积/mm^2	频率/MHz	是否无毛刺
文献[5]	45	1.1	1.32 at 800 MHz	0.003 4	500 ~ 800	否
文献[6]	150	1.8	2.20 at 130 MHz	0.023 0	20 ~ 135	是
文献[11]	130	1.5	26.00 at 180 MHz	0.080 0	80 ~ 450	否
本文	65	1.2	2.80 at 1 GHz	0.018 0	217 ~ 1 000	是

6 拟采用的测试方案

图 14 是本文拟采用的测试方案,测试 PBC 板主要包含测试样片(test chip)、电源芯片(DC-DC, LDO)以及可编程 FPGA 芯片. 测试仪器主要有电压源、信号发生器、恒温箱以及示波器. 测试样片主要包含本文提出的无毛刺移相器,传统 90°移相器和时钟管理模块(clk_gen). 借鉴 Yang 等[13]给出的时钟方案,慢速时钟可通过片外的信号发生器提供,快速时钟可由片内的数控振荡器(DCO)[7]生成;片内外时钟通过选择器进行切换. 通过对 FPGA 芯片进行编程,可生成测试样片的清零信号(nRst),clk_gen 模块的控制信号(ctrlck, sel)以及电源芯片(DC-DC)的控制信号(ctrlp). 测试过程将 PBC 板置于恒温箱中(而测试仪器在恒温箱外),时钟和观测信号用同轴电缆将其与相关测试设备相连,以减小信号的噪声干扰及衰减.

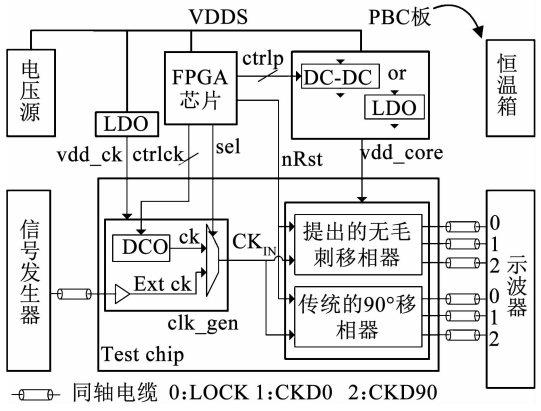


图 14 测试方案

Fig. 14 Measurement system for the test chip

最高锁定频率的测试流程如下:clk_gen 通过独立 LDO 芯片[14]单独供电,vdd_ck 设计为 1.2 V. 类似的,采用 LDO 芯片给移相器模块供电,将 vdd_core 设定为 1.08 V. 同时将恒温箱的温度置为 125 ℃. 编程 FPGA 芯片调节 ctrlck 的值将 DCO 的输出时钟(ck)频率置为 1 GHz,然后通过二选一选择器将 ck 选定为移相器的时钟输入. FPGA 芯片通过 nRst 向移相器发出清零脉冲启动移相器工作. 然后,通过示波器观察 LOCK,CKD0 和 CKD90 的波形并与图 10(a)对比. 另外,通过测试多颗样片(test chip)的方法,来获取最慢的工艺角条件(P:SS). 从而使上述测试条件很好的复现图 10(a)后仿真的最慢 PVT(SS 1.08V 125℃)及时钟频率(1 GHz)条件. 另一方面,最低锁定频率的测试流程如下:将 vdd_core 设定为 1.32 V,并将测试温度设定在 -40 ℃. 通过信号发生器产生 217 MHz 时钟信号 Ext ck,经片内二选一选择器将 Ext ck 选定为移相器的时钟输入. FPGA 芯片通过 nRst 向移相器发出清零脉冲启动移相器工作. 然后,可观察移相器的锁定情况以及输出时钟的相差. 类似的,也需要测试多颗样片(Test chip),来获取最快的工艺角条件(P:FF). 从而使测试条件很好地复现图 10(b)中后仿真的最快 PVT(FF 1.32 V -40 ℃)及时钟频率(217 MHz)条件.

无毛刺特性的测试验证流程如下:温度设定为 125 ℃且片外给定 500 MHz 的时钟信号. 采用 DC-DC 芯片[15]对移相器模块供电. 温度和频率设定好后,FPGA 芯片通过调节控制信号 ctrlp 将电压初始值置为 1.1 V,然后,FPGA 芯片通过 nRst 向移相器

发出清零脉冲启动移相器工作，移相器锁定后，FPGA 芯片再次调节控制信号 ctrlp 将电压从 1.1 V 切换至 1.3 V，通过示波器观察提出的无毛刺移相器和传统 90°移相器的电压跟随调节波形是否与图 12中的仿真波形一致，从而验证所提出的无毛刺移相器的无毛刺特性.

时钟抖动和噪声测试可在移相器锁定后，分别用示波器和噪声分析仪对输出时钟信号（CKD90）进行测量即可.

7　结　论

1）通过对传统数控延时线进行分析发现，传统数控延时线延时调节过程产生毛刺是由于其数字控制信号状态切换的无序性造成的. 本文对传统数控延时线进行改进，提出了一种结合锁存器和时钟门控的无毛刺数控延时线，该数控延时线利用了锁存器和时钟门控的时序特性，使延时线数字控制信号的状态切换有序化，从而成功消除传统数控延时线的毛刺现象.

2）将提出的无毛刺数控延时线集成到 DLL 型 90°移相器中，并基于SMIC65 nm工艺进行设计以及仿真验证，HSPICE 仿真发现，采用提出的无毛刺数控延时线时，DLL 型 90°移相器在进行 PVT 跟随调整过程中，输出的 90°相移时钟不会产生毛刺；而采用传统数控延时线时，DLL 型 90°移相器在上述调整过程中，输出的 90°相移时钟则会产生毛刺；从而有效验证了提出的无毛刺数控延时线具有消除传统数控延时线毛刺现象的特性.

3）通过和已发表移相器的性能对比，表明了设计的无毛刺移相器具有无毛刺、锁定频率高、低电压、低功耗等优秀特性. 此移相器可应用在 DDR SDRAM 物理接口，时钟管理模块等电路结构中，具有较高的实用性.

参考文献

[1] KIM Y S, LEE S K, PARK H J, et al. A 110 MHz to 1.4 GHz locking 40-phase all-digital DLL[J]. IEEE Journal of Solid-State Circuits, 2011, 46(2): 435. DOI:10.1109/JSSC.2010.2092996

[2] HOYOS S, TSANG C W, VANDERHAEGEN J, et al. A 15 MHz to 600 MHz, 20 mW, 0.38 mm^2 split-control, fast coarse locking digital DLL in 0.13 μm CMOS[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2012, 20(3): 564. DOI: 10.1109/TVLSI.2011.2106170

[3] HSIEH M H, CHEN L H, LIU S L, et al. A 6.7 MHz to 1.24 GHz 0.031 8 mm^2 fast-locking all-digital DLL using phase-tracing delay unit in 90 nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2016, 51(2): 412. DOI:10.1109/JSSC.2015.2494603

[4] KANG H, RYU K, JUNG D H, et al. Process variation tolerant all-digital 90 phase shift DLL for DDR3 interface[J]. IEEE Transactions on Circuits and Systems-I: Regular Papers, 2012, 59(10): 2186. DOI:10.1109/TCSI.2012.2188943

[5] JUNG D H, RYU K, PARK J H, et al. All-digital 90° phase-shift DLL with dithering jitter suppression scheme[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2016, 24(3): 1015. DOI:10.1109/TVLSI.2015.2423312

[6] MOON Y, KONG I, RYU Y, et al. A 2.2-mW 20-135-MHz false-lock-free DLL for display interface in 0.15-μm CMOS[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2014, 61(8): 554. DOI:10.1109/TCSII.2014.2327338

[7] ANY J, JUNGD H, RYUK, et al. An energy-efficient all-digital time-domain-based CMOS temperature sensor for SoC thermal management[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2015, 23(8): 1512. DOI: 10.1109/TVLSI.2014.2344112

[8] HASAN SR, BELANGER N, SAVARIA Y, et al. Crosstalk-glitch gating: A solution for designing glitch-tolerant asynchronous handshake interface mechanisms for GALS systems[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2010, 57(10): 2696. DOI:10.1109/TCSI.2010.2046981

[9] RABAEY J M, CHANDRAKASAN A, NIKOLICB. Digital integrated circuits: A design perspective[M]. 2nd ed. London: Pearson Education, Inc., 2003: 300

[10] 严石. 面向 DSP 的时钟门控技术的优化与设计[D]. 南京：东南大学, 2016
YAN Shi. Optimization and design of clock gating based on DSP[D]. Nanjing: Southeast University, 2016

[11] ZHANG Dandan, YANG Haigang, ZHU Wenrui, et al. A multiphase DLL with a novel fast-locking fine-code time-to-digital converter[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2015, 23(11): 2680. DOI: 10.1109/TVLSI.2014.2369460

[12] HO M, LEUNG K N, MAK K L. A low-power fast-transient 90-nm low-dropout regulator with multiple small-gain stages[J]. IEEE Journal of Solid-State Circuits, 2010, 45(11): 2466. DOI: 10.1109/JSSC.2010.2072 611

[13] YANG P H, WANG J S. Low-voltage pulse width control loops for SOC applications[J]. IEEE Journal of Solid-State Circuits, 2002, 37(10): 1348. DOI:10.1109/JSSC.2002.803050

[14] Texas Instruments. TPS74701 500-mA low-dropout linear regulator with programmable soft-start[EB/OL]. (2007-11)[2015-10]. http://www.ti.com/lit/ds/symlink/tps74701.pdf

[15] Texas Instruments. LM3370 Dual synchronous step-down dc-dc converter with dynamic voltage scaling function[EB/OL]. (2005-11)[2013-05]. http:// www.ti.com/lit/ds/symlink/l m3370.pdf

（编辑　张　红）