

doi: 10.11918/j.issn.0367-6234.2015.11.009

一种具有任意倍升采样的高速率脉冲成型算法

梁婷婷, 迟永钢, 刘军军, 吴凤辉

(哈尔滨工业大学 通信技术研究所, 150001 哈尔滨)

摘要: 针对高速数字通信系统中实现任意倍采样率的信号脉冲成型滤波问题, 文章提出一种基于查找表思想的可灵活改变采样率的高速通用实现算法. 该算法采用 FIR 滤波器结构, 通过将不同采样率转换映射为对查找表地址的寻址问题, 实现一定范围内的任意倍采样率的灵活变换; 同时结合流水线结构和改进的全并行分布式算法, 实现高速率脉冲成型滤波功能, 并在硬件平台上进行验证. 所提算法具有占用资源低、实现速率高、性能稳定、且可在一定范围实现任意倍可变采样率的特点.

关键词: 脉冲成型; 分布式算法; 任意倍升采样; 查找表

中图分类号: TP391.9

文献标志码: A

文章编号: 0367-6234(2015)11-0053-05

A new high-speed pulse shaping algorithm with arbitrary up-sampling rate

LIANG Tingting, CHI Yonggang, LIU Junjun, WU Fenghui

(Communication Research Center, Harbin Institute of Technology, 150001 Harbin, China)

Abstract: To solve the problem of pulse shaping with arbitrary up-sampling rate in the high speed digital communication system, a new general high-speed algorithm based on look-up table is proposed, which can flexibly change sample rate. The algorithm uses FIR filter structure to realize arbitrary and flexible up-sampling rate conversion within in a range, by mapping different sample-rate conversion to the address problem of look-up table. Meanwhile, the proposed algorithm combining with pipeline structure and improved full parallel distributed arithmetic (DA) realizes the pulse shaping filter function at high speed, which is also validated through hardware platform. The proposed algorithm not only occupies less resource, but also implements at high speed with strong stability. In addition, the algorithm can flexibly realize arbitrary up-sampling rate conversion within a range.

Keywords: pulse shaping; distribute arithmetic; arbitrary up-sampling rate conversion; look-up table

数字通信系统中, 由于基带信号的频谱范围比较宽, 在信号调制之前要先进行脉冲成型滤波, 以减少码间干扰, 并降低带外辐射以满足频谱要求, 提高频谱利用率^[1]. 数字 FIR 滤波器由于其严格的线性相位特性, 是实现脉冲成型滤波器的理想选择. 对于 FIR 滤波器, 乘法运算的速度往往决定整个系统的速度. 近来, 不少学者对 FIR 滤波器的硬件实现进行了广泛的研究, 旨在设计更高速率的 FIR 滤波器. 文献[2]用脉动行结构设计滤波器卷积过程, 将乘法拆成多个并行单元实现来提高速度, 但其大量的乘法运算还是制约了系统速度; 文献[3]使用 CSD 编码思想, 把滤波器的乘加结构转化为运算量小的乘加减结构, 提高处理速度; 文献[4]采用分布式算法, 基于查找表实现 FIR 滤波, 将乘累加操作全部转

化为加法和移位的操作, 系统的处理速度大大提高, 但它是消耗很大的硬件资源为代价的. 本文基于上述研究, 采用改进的全并行分布式算法^[5]和流水线处理技术, 设计了一种资源消耗较少且硬件实现速率高的脉冲成型滤波器.

在现代信号处理结构下, 信号侦察、调制分析、解调接收等许多流程都需要对数字信号进行采样率变换, 且采样倍数往往任意可变. 因此简单的整数倍内插抽取已不能满足要求, 需要设计可灵活改变的任意倍采样率变换方法. 采样率越高, 获取的有用信息越多, 在高速率硬件环境下, 用升采样技术来提高采样率, 考虑到硬件结构复杂度, 有必要研究一种内插倍数可灵活改变的通用实现结构. 常用的升采样方法有 CIC(积分梳状)滤波器和 HB(半带)滤波器实现的有限整数倍内插、CIC 滤波器和 HB 滤波器多级级联实现的有理分数倍内插^[6]、Farrow 结构重构^[6]和 Lagrange 插值算法^[7]等. 其中, 以 CIC 滤波器

收稿日期: 2014-12-21.

作者简介: 梁婷婷(1990—), 女, 硕士研究生.

通信作者: 梁婷婷, a598506173@126.com.

和 HB 滤波器为主的升采样技术只能实现有限内插倍数变换,并且由于各级内插倍数较小,使得级联数多时控制复杂;而后两种方法虽然可通过滤波器系数插值的方式实现任意时刻的内插,但因其计算量大而不适用于高速率场合.同时,以上方法在硬件实现时内插倍数均无法灵活改变.文献[8-9]虽基于取邻抽取理论实现了任意倍可变升采样,但对滤波器实现方式未做讨论.基于此,文章提出一种基于查找表实现的升采样技术,采用单级 FIR 滤波器完成了高速率下任意速率的灵活适配.该算法通用性强,采样倍数可在一定范围内灵活取值,且具有占用资源低、性能优良的特点,并为高速率硬件实现提供了一种全新的技术手段.

1 脉冲成型滤波算法原理

1.1 全并行分布式算法原理

分布式^[4]算法 DA(distributed arithmetic)是一项重要的算法实现技术,它把输入的采样信号序列作为查找表的地址,通过读表实现乘法运算.与传统算法相比,分布式算法大大提高了电路的执行速度^[10].

N 阶线性 FIR 滤波器的差分表达式为

$$y(n) = \sum_{m=0}^{N-1} h(m)x(n-m). \quad (1)$$

式中: $h(m)$ 为滤波器系数,对于性能确定的滤波器, $h(m)$ 是一组确定的常数, $x(n-m)$ 表示第 $(n-m)$ 个单位时间的采样输入, $y(n)$ 为第 n 个单位时间的采样输入值 $x(n)$ 对应的输出.

对于有符号数的 DA 系统,数据采用二进制补码的形式表示, $(B+1)$ 位的 $x(n)$ 用二进制补码为

$$x(n-m) = -2^B x_B(n-m) + \sum_{b=0}^{B-1} x_b(n-m) * 2^b. \quad (2)$$

式中: $x_b(n)$ 为 0 或 1,是用二进制表示的 $x(n)$ 第 b 位数据; $B+1$ 表示输入数据的位宽.

将式(2)代入式(1)中,可得到全并行 DA 算法为

$$y(n) = -2^B f[h(n), x_B(n)] + \sum_{b=0}^{B-1} 2^b * f[h(n), x_b(n)] = -2^B f[h(n), x_B(n)] + 2^{B-1} f[h(n), x_{B-1}(n)] + \dots + 2^0 f[h(n), x_0(n)]. \quad (3)$$

其中: $f[h(n), x_b(n)] = \sum_{m=0}^{N-1} h(m) * x_b(n-m)$, 函数 $f[h(n), x_b(n)]$ 的映射通过查找表实现,即将系数与 N 位输入信号向量 $\mathbf{x}_b = (x_b[0], x_b[1], \dots, x_b[N-1])$ 的所有可能乘积存放在 2^N 位字宽的 LUT 中,输出即为 $f[h(n), x_b(n)]$.

全并行分布式算法^[11-12]的设计思想是将所有的部分和并行执行,这就需要将查找表复制 $B+1$ 次以达到并行的目的.显然,这是一种以牺牲资源换取速度的方法,适用于对滤波器速度要求较高,资源较丰富的系统中.

实现时,将 N 个 $x(n)$ 的各位数据并行输入,在一个时钟周期内同时求得 $B+1$ 个映射 $f[h(n), x_b(n)]$,各个映射根据所在的位数进行相应的二次幂加权,并将加权结果累加,在 N 次查询循环后就完成了内积的计算.全并行工作方式的硬件电路框图见图 1.

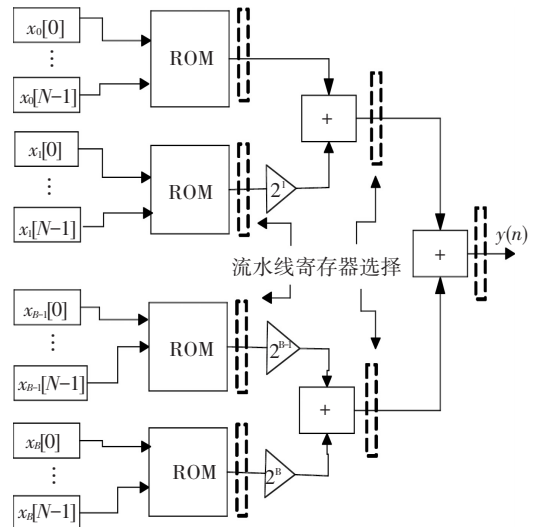


图 1 全并行分布式算法结构

1.2 改进的全并行分布式算法

在保证系统高速率的前提下,从以下 3 方面对全并行分布式算法进行优化,减少硬件资源的消耗,并进一步提高系统速度.

1) 通过分割查找表的方式对全并行 DA 算法进行优化,其核心思想是将查找表的输入地址按位分割,将一个大的查找表划分成若干小的查找表:假定一个 NL 阶的滤波器,可以将 NL 个系数分成 L 组,每组对应一个查找表,即用 L 个独立的 N 阶串行 DA 的 LUT 输出之和替代一个 NL 阶的 LUT 输出,就可将查找表的规模从 2^{NL} 变为 $L * 2^N$,分割后的 LUT 规模大大减小,只用了原来的 $L/2^N$.

2) 用流水线寄存器结构^[13]实现对查找表结果的累加操作,虽然在资源上稍有增加,但系统的速度却有明显提升.

3) 考虑到 FIR 滤波器系数的对称性,存储表可以节省一半.另外,内插是在两个码片间插入 0 的处理,这样的话,查找表中很大一部分数都是 0,编写只包含有效数值的子函数代替包含很多 0 的 ROM,可进一步降低查找表的规模.

采用以上改进措施后, 硬件资源使用可减少至少 60%, 而系统的速度也有显著提升。

2 任意倍可变升采样算法原理

任意倍可变升采样技术, 实质上仍是采用的内插滤波方法, 其原理类似于 DDS 或者 NCO 的实现, 具体可分为插零与滤波两个步骤^[14]。下面介绍算法原理并证明其可行性。

2.1 插零

对于一个序列 $x(n)$, L 倍插零后为

$$x'(n) = \sum_{k=-\infty}^{+\infty} x(k)\delta(n - [kL]) \quad (4)$$

其中 L 为任意实数, $[\cdot]$ 为四舍五入取整符。

$x'(n)$ 经过傅里叶变换可得

$$\begin{aligned} X'(e^{j\omega}) &= \sum_{n=-\infty}^{+\infty} x'(n)e^{-j\omega n} = \\ &= \sum_{n=-\infty}^{+\infty} \left(\sum_{k=-\infty}^{+\infty} x(k)\delta(n - [kL]) \right) e^{-j\omega n} = \\ &= \sum_{k=-\infty}^{+\infty} x(k) \left(\sum_{n=-\infty}^{+\infty} \delta(n - [kL]) e^{-j\omega n} \right) = \\ &= \sum_{k=-\infty}^{+\infty} x(k) e^{-j\omega [kL]}. \end{aligned} \quad (5)$$

当 kL 值较大时, 可认为 $[kL] \approx kL$, 此时

$$X'(e^{j\omega}) = X(e^{j\omega L}). \quad (6)$$

由此可知, 即使内插倍数 L 为小数, 当其值较大时, 仍然满足频域的 L 倍压缩规律。

2.2 滤波

插零完成后, 频谱被压缩了 L 倍, 出现了频谱镜像分量, 为了滤除镜像, 应通过一低通滤波器, 其理想响应为

$$H_{\text{ideal}}(e^{j\omega}) = \begin{cases} 1, & |\omega| < \frac{\pi}{L}; \\ 0, & \text{else.} \end{cases} \quad (7)$$

那么, 算法的目标就是要寻求满足该条件的滤波器。

为了实现升采样倍数 L 在一定范围内灵活可变, 首先构造一个大内插倍数 L_{max} 对应的低通滤波器, 并将其系数存入表中。该滤波器频率响应逼近于

$$H_{\text{table}}(e^{j\omega}) = \begin{cases} 1, & |\omega| < \frac{\pi}{L_{\text{max}}}; \\ 0, & \text{else.} \end{cases} \quad (8)$$

它对应的时域序列为 $h_{\text{table}}(n)$ 。

此时对 $h_{\text{table}}(n)$ 进行 M 倍抽取, 其中

$$M = L_{\text{max}}/L.$$

得到的滤波器系数序列为

$$h(n) = h_{\text{table}}([nM]). \quad (9)$$

至此, 通过改变 M 就得到了不同内插倍数 L 对

应的低通滤波器系数 $h(n)$ 。

$h(n)$ 经傅里叶变换后可推导得

$$\begin{aligned} H(e^{j\omega}) &= \sum_{n=-\infty}^{+\infty} h_{\text{table}}([nM])e^{j\omega n} \approx \\ &= \sum_{k=-\infty}^{+\infty} h_{\text{table}}(k)e^{j\omega \frac{k}{M}} = H_{\text{table}}(e^{j\frac{\omega}{M}}) = \\ &= \begin{cases} 1, & |\omega| < \frac{\pi}{L}; \\ 0, & \text{else.} \end{cases} \end{aligned} \quad (10)$$

很明显, 它即为所求的滤波器。故该方法可实现 $[2, L_{\text{max}}]$ 范围内的任意倍升采样, 且可通过 M 灵活改变。当 L 和 M 为小数时, L 值越大升采样性能越优。

3 任意倍可变升采样算法的硬件实现

该算法首先构造出一个满足设计要求的高阶数字 FIR 滤波器; 然后通过查找表的方式, 建立特定的地址映射关系, 每个时钟周期从表中取出若干个系数进行运算, 从而避免了大量不需要的计算, 使得运算量大幅度减小, 有效提升算法的执行速率。对于不同的升采样倍数, 算法采用通用的硬件实现结构, 具体的 FPGA 实现过程如下。

3.1 查找表的建立

构造合适的高阶数字 FIR 低通滤波器以建立查找表。 L_{max} 倍内插需通过截止频率为 π/L_{max} 的低通滤波器, 其时域形式为 $h(n) = \sin c(\pi n/L_{\text{max}})$, 即连续函数 $\sin c(\pi t)$ 的离散形式。根据窗函数设计法, 首先由滤波器通带波纹和阻带衰减等具体设计指标, 选取合适的窗函数; 然后由过渡带宽要求, 计算得出大采样倍数 L_{max} 对应的高阶 FIR 滤波器的阶数 (通常取为 L_{max} 的整数倍), 由此可以得到所需 $\sin c(\pi t)$ 的主瓣与旁瓣, 每个瓣中有 L_{max} 个系数。截取的 $\sin c(\pi t)$ 离散化后加上选取的窗函数。将每个瓣的波形数据量化后写到不同的查找表中, 完成查找表的建立。

查找表中存储的是一个高阶数字 FIR 滤波器系数。在实际应用中, 可根据实际的升采样倍数, 从查找表中取出相应系数, 从而可灵活地构造出所需的 FIR 滤波器。由于采用存储器查找表的实现方式, 它具有读取速度快, 实现速率高的优点。

3.2 任意倍灵活可变升采样的实现

查找表建立完成后, 产生读取查找表的地址, 即可启动运行。算法中通过随时改变该地址变量, 实现任意倍灵活可变的升采样。因此, 查找表的地址映射是该算法的一个关键问题。

对于整数 L 倍的升采样, 每个瓣中需要取 L 个数构成滤波器的系数。即在每个查找表中按照取数

步长均匀地抽取 L 个数. 而对于小数 L 倍的升采样, 取数时将每个查找表看作是首尾相接的一个圆, 在每个查找表中按照取数步长均匀地取出 L 个数. 可看出, 假设小数倍内插中第一次取数从零相位开始, 那么第二次取数时, 由于末尾不足一个步长, 就使得初始相位不再是零相位. 取数步长为查找表的总长度与升采样倍数的商, 它可通过控制字来实现, 由此计算出每次取数的地址. 其中, 控制字 = $2^n / \text{升采样倍数}$, n 为控制字的位宽, 其值越大则分辨率越高.

得到控制字后, 根据实际情况设置查找表的初始相位, 由相位累加器即可得到查找表地址. 控制字决定了查找表中取出的滤波器系数的地址, 更改控制字即可随时改变每次取数构造的 FIR 滤波器的形状, 从而灵活地改变升采样的倍数, 实现倍率可变的升采样.

3.3 信号合成

升采样技术先将数据插零, 将一个数据变为 L 个数据, 于是每个时钟(采样后的时钟)周期都要对这 L 个数进行乘法运算. 而事实上这 L 个数中仅有一个数据是有效数据, 其余均为零, 即 $L - 1$ 个数的运算都浪费了. 因此, 在本算法中, 将输入数据和滤波器系数采用不同的处理时钟, 数据使用的是升采样前的时钟信号, 而系数使用的是升采样后的时钟. 在系数时钟周期内, 从表中取出一个系数与这个数据运算, 极大的减小了运算量. L 个系数时钟周期后, 表中的数取完, 这时数据时钟一个周期结束, 下一个数据进入, 而查找表又回到表头, 开始新一轮的取数.

数据与系数同步之后, 将它们分别相乘, 相乘后的结果通过流水线寄存器结构进行累加, 所得即为任意倍升采样后的结果. 图 2 为基于查找表的任意倍升采样的流程框图.

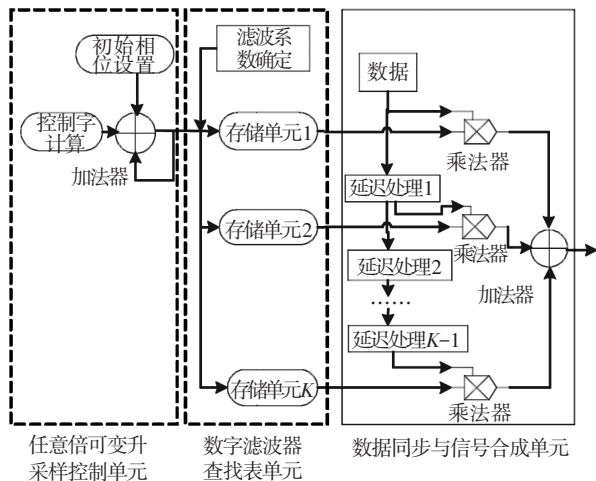


图 2 基于查找表的任意倍升采样的流程

4 算法硬件仿真及验证

4.1 仿真条件

为验证算法在高速率时钟下的正确性及可行性, 本文采用 Quartus 13.1 开发环境编写 Verilog 代码, 选用 Altera 公司的 EP4SGX70HF35I3 FPGA 芯片搭建硬件测试电路.

其中, FIR 脉冲成型滤波器: 内插倍数为 16, 阶数为 96, 采用改进的全并行分布式 DA 算法, 并加上流水线寄存器来实现; 任意倍升采样: 查找表中存储的 FIR 滤波器系数个数为 2^{12} , 这意味着内插倍数范围为 $2 \sim 2^{12}$, 控制字位宽为 20. 若将 2.344 MHz 的数据升采样到 300 MHz, 则控制字设置为 $220 \times 2.344 \div 300 = 8192.87381$, 近似为 8193, 十六进制表示即 0x02001.

4.2 仿真结果

将程序下载至硬件测试电路, 通过对比输出波形与理论仿真结果, 验证高速率时钟下系统的正确性. 图 3 为理论仿真结果; 图 4 为对应的硬件电路输出波形. 最上面是基带信号源, 中间是脉冲成型滤波的输出, 最下面是升采样输出.

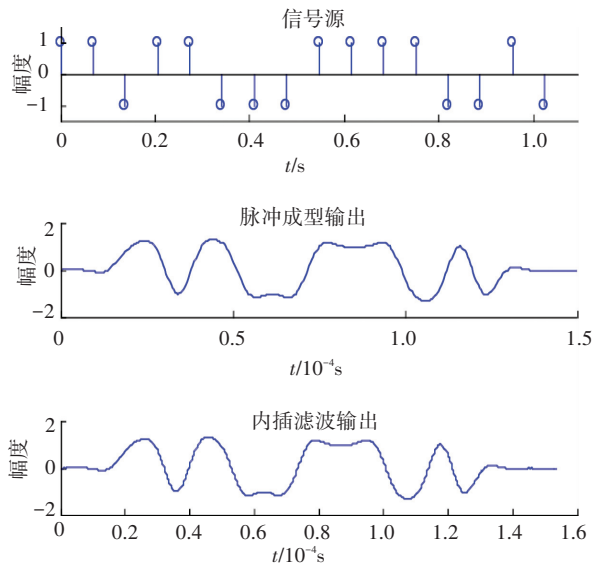


图 3 理论仿真结果

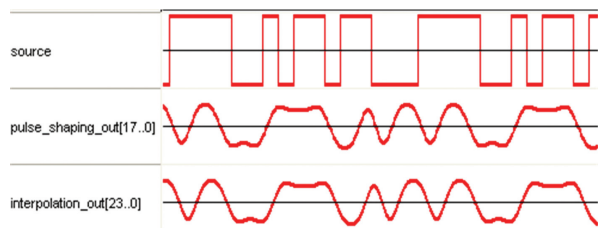


图 4 硬件电路输出波形

对比图 3、4 可得, 在 300 MHz 的高速工作时钟下, 硬件测试电路输出波形与理论仿真结果一致, 验

证了本算法在高速时钟下的正确性. 进一步通过 Quartus 13.1 的时序分析, 可知系统时钟速率最高可达 425.05 MHz. 需要注意的是, 由于查找表中存储的高阶 FIR 滤波器的系数有限, 故升采样倍数不能大于每个查找表中的系数个数. 在该可调范围内, 控制字可根据实际的升采样倍数灵活配置: 控制字 = $2^n /$ 升采样倍数, n 为控制字的位宽.

5 结 语

本文结合改进的全并行分布式算法和流水线设计结构, 实现了基于查找表法的高速率脉冲成型滤波器. 在理论上该滤波器不仅具有任意倍(包括整数倍和小数倍)升采样功能, 而且还有占用资源低、灵活性强、速率高、性能优良的特点. 最后, 通过实际硬件电路测试, 验证了文章算法的正确性和可行性, 算法可在高速率下灵活实现具有任意倍升采样的脉冲成型滤波.

参考文献

- [1] 樊昌信, 曹丽娜, 通信原理 [M]. 北京: 国防工业出版社, 2007.
- [2] KUNG H T. Let's design algorithms for VLSI systems [C]//Proc Caltech Conf on VLSI: Architecture, Design, Fabrication. Pasadena: California Institute of Technology, 1979: 65-90.
- [3] 李虎虎, 罗丰. 基于 CSD 算法的高阶 FIR 滤波器优化设计 [J]. 雷达科学与技术, 2006(6): 377-381.
- [4] KUMAR P M, CHANDRASEKARAN S, AMIRA A. FPGA realization of FIR filters by efficient and flexible systolization using distributed arithmetic [J]. IEEE Transactions on Signal Processing, 2008, 56(7): 3009-3017.
- [5] KIM M S, KIM D I, CHUNG J G, et al. Look-up table-based pulse-shaping filter design [J]. Electronics Letters, 2000, 36(17): 1505-1506.
- [6] 杨小牛, 楼才义, 徐建良. 软件无线电原理与应用 [M]. 北京: 电子工业出版社, 2001.
- [7] ERUP L, GARDNER F M, HARRIS R A. Interpolation in digital modems-part II: implementation and performance [J]. IEEE Trans on Communications, 1993, 41(6): 998-1008.
- [8] 李天响, 许漫坤, 葛临东. 取邻抽取任意倍数采样率变换算法性能研究 [J]. 数据采集与处理, 2012(2): 254-258.
- [9] 蒋天立, 吴迪, 彭华, 巩克现. 任意倍数重采样结构参数优化选择 [J]. 信息工程大学学报, 2014(3): 337-343, 379.
- [10] LONGA P, MIRI A. Area-efficient fir filter design on FPGAs using distributed arithmetic [J]. IEEE International Symposium on Signal Processing and Information Technology, 2006(8), 248-252.
- [11] HUANG W, KRISHNAN V. Design analysis of a distributed arithmetic adaptive FIR filter on an FPGA [J]. System & Computers, 2003, 1(9): 26-30.
- [12] WANG Sen, TANG Bin. Distributed arithmetic for FIR filter design on FPGA [J]. IEEE ASSP Magazine, 1989(7): 14-19.
- [13] 杨洪军, 王振友. 基于分布式算法和查找表的 FIR 滤波器的优化设计 [J]. 山东理工大学学报(自然科学版), 2009(5): 104-106.
- [14] NARASIMHA M, PETERSON A. On using the symmetry of FIR filters for digital interpolation [J]. IEEE Transactions on Acoustics Speech and Signal Processing. 1978, 26(3): 261-268.

(编辑 苗秀芝)