

基于 FPGA 的全数字轴角变换算法

赵品志, 杨贵杰

(哈尔滨工业大学 电气工程及自动化学院, 哈尔滨 150001, pinzhizhao@163.com)

摘要: 为实现低成本、高集成度的全数字轴角变换系统, 使用 $\Delta\Sigma$ 调制技术构建频率、幅值连续可调的激励信号发生器, 对采样点进行优化控制及滤波处理. 使用 CORDIC 算法进行鉴相, 通过 PI 调节器实现快速闭环跟踪, 实现一种基于 FPGA 的全数字闭环角度解算算法. 使用 Verilog HDL 语言编写了 $\Delta\Sigma$ 调制器、采样时序控制器、CORDIC 鉴相器及 PI 调节器等 IP 核, 搭建了基于 Xilinx 公司 XC3S400 型号 FPGA 的实验平台. 实验结果表明: 所提出的全数字轴角变换系统, 在不增加伺服系统成本的条件下, 依靠 FPGA 的快速并行运算能力, 通过分时复用的方法, 可实现具有高精度和高动静态特性的全数字轴角变换.

关键词: FPGA; 旋转变压器; 轴角变换算法; $\Delta\Sigma$ 调制; CORDIC 算法; 数字锁相环

中图分类号: TM930.1 **文献标志码:** A **文章编号:** 0367-6234(2010)12-1911-05

FPGA-based all-digital resolver-digital conversion algorithm

ZHAO Pin-zhi, YANG Gui-jie

(School of Electrical Engineering and Automation, Harbin Institute of Technology, Harbin 150001, China, pinzhizhao@163.com)

Abstract: An FPGA based all-digital close-loop angle tracking algorithm is proposed to achieve an all-digital resolver-digital converter (RDC) with low cost and high integration. $\Delta\Sigma$ modulation technology is introduced into sine reference signal generator, to simplify hardware filtering circuit and minimize the damping and phase lag. Optimized control of sampling and filter processing are applied to guarantee favorable acquisition of sine and cosine feedback signals under harsh EMI environment. A PLL-based angle tracking observer is designed, which uses CORDIC arithmetic for phase detection and PI regulator for rapid close-loop tracking. $\Delta\Sigma$ modulator, time sequence controller, CORDIC phase detector, and PI regulator IP cores are written in Verilog HDL and have been tested on Xilinx XC3S400 FPGA. Experimental results verify that the all-digital RDC can make digital conversion with high precision, high dynamic and static characteristics, relying on rapid parallel algorithm of FPGA without much cost increase.

Key words: FPGA; resolver; resolver-digital converter; $\Delta\Sigma$ modulation; CORDIC algorithm; digital PLL

现代交流伺服控制系统在要求较高动态和稳态特性的同时, 又要求降低系统成本. 无位置传感器技术不需要位置传感器(码盘、旋转变压器等), 便可以实现调速. 但这种技术不适合电机频繁启动或低速运行场合, 这些场合需要获得非常准确的位置信息以实现快速精确的位置或速度控制. 在永磁同步电动机的伺服驱动系统中, 获得准

确的转子磁极位置尤为重要, 转子位置的检测精度直接影响到伺服系统的控制精度和性能. 在众多种类的高精度位置传感器中, 旋转变压器抗干扰能力强, 工作可靠, 能在各种复杂恶劣的工作环境中稳定运行, 其输出的模拟信号经过轴角数字变换器(RDC)解调和转换后可得到精度较高的数字位置信号^[1-3]. 然而, 传统的高精度专用 RDC 芯片具有价格昂贵、接口电路复杂和参数一旦设定无法在线更改等缺点, 且在某些情况下, 检测的位置会带有原理性误差^[4]. 为了简化永磁同步电动机驱动控制系统的结构, 降低系统成本, 提

收稿日期: 2009-04-11.

作者简介: 赵品志(1982—), 男, 博士研究生;

杨贵杰(1965—), 男, 教授, 博士生导师.

高系统的控制精度和性能,本文设计了一种全数字的轴角数字变换算法。

大多数文献使用 DSP 软件计算的方法实现全数字轴角数字变换算法^[5-7],而旋转变压器的解码算法需要进行复杂的数学运算,会占用大量的 CPU 时间,对系统的实时性极为不利。所以本文使用 FPGA 实现所有的轴角数字变换算法, FPGA 采用硬件电路的方式进行数据解调,具有高速的数据处理能力,可大幅提高系统的实时性和集成度^[8-9]。

1 旋转变压器工作原理

旋转变压器是一种通过电磁感应原理检测角位置的装置,由转子、定子和绕组构成,其工作原理如图 1 所示。

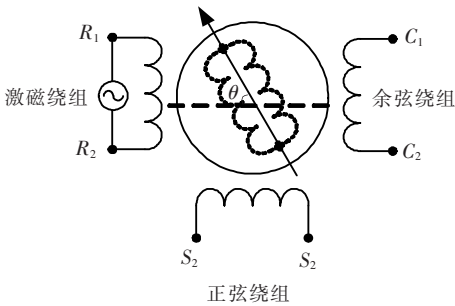


图 1 旋转变压器工作原理

激磁绕组和正交的正、余弦绕组均安装在定子上,在工作时,激磁绕组通以 1 ~ 20 kHz 的正弦电压激励信号,通过转子的特殊设计(绕线或变磁阻),使得正、余弦绕组产生与转子位置相关的调制信号。设激磁绕组的激磁电压为

$$V_{exc} = E \cdot \sin \omega_{exc} t.$$

式中: E 为激磁电压的幅值, ω_{exc} 为激磁电压的角频率。

当转子转过 θ 电角度时,正、余弦绕组输出的调制信号分别为

$$V_{sin} = m \cdot E \cdot \sin \omega_{exc} t \cdot \sin \theta, \quad (1)$$

$$V_{cos} = m \cdot E \cdot \sin \omega_{exc} t \cdot \cos \theta. \quad (2)$$

式中: m 为旋转变压器的变比。

通过对正、余弦调制信号的解调便可以得到位置信息,激励信号及正、余弦信号,如图 2 所示。

2 轴角数字解调算法

由式(1)、式(2)以及图 1 可知,旋转变压器的输出信号为经过激磁信号调制的正、余弦信号。为了提高采样精度,在每个激磁周期内进行两次采样。假设正、余弦信号与激磁信号的相移为零,则分别在激磁信号的两个峰值处对正、余弦信号

进行采样,再将其中一个采样值取负,便可得到两路包含位置信息的正弦信号和余弦信号,如图 2 所示。由于旋变本身和激磁电路等会使激磁信号与正、余弦信号之间产生相移,因此采样得到的两路信号可表分别示为

$$V_{sin} = \alpha \cdot m \cdot E \cdot \sin \theta = A \cdot \sin \theta, \quad (3)$$

$$V_{cos} = \alpha \cdot m \cdot E \cdot \cos \theta = A \cdot \cos \theta. \quad (4)$$

式中: α 为与采样时刻相关的系数,范围为 $-1 \sim 1$ 。因此在实际应用时,需要根据相移大小,确定最佳采样时刻,保证 α 为 1 或 -1 。

根据式(3)和式(4),可得

$$\theta = \arctan \frac{V_{sin}}{V_{cos}} = \arctan \frac{\sin \theta}{\cos \theta}.$$

然而这种直接获取角度信息的方法有如下缺点:1) 反正切以及除法运算在嵌入式系统里实现起来代价太高,会占用大量的计算资源;2) 正、余弦信号中的干扰会直接引入到角度中,并会通过除法运算放大,造成角度信号误差较大,进而使系统性能下降。

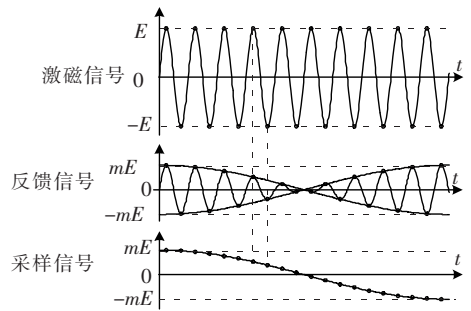


图 2 正、余弦信号采样方法

引入闭环跟踪算法可以极大地提高角度精度和系统稳定性,定义跟踪误差为

$$\Delta \theta = \theta - \hat{\theta}.$$

式中: $\hat{\theta}$ 为估算角度值。

当 $\Delta \theta$ 较小时,有

$$\sin(\theta - \hat{\theta}) \approx \theta - \hat{\theta}.$$

由此可以构建基于锁相环(PLL)的闭环位置跟踪算法,如图 3 所示,由图可得

$$e = V_{sin} \cdot \cos \hat{\theta} - V_{cos} \cdot \sin \hat{\theta} = A \cdot \sin(\theta - \hat{\theta}). \quad (5)$$

则可写出角度跟踪闭环的传递函数

$$G(s) = \frac{\hat{\theta}(s)}{\theta(s)} = \frac{AK_p s + AK_I}{s^2 + AK_p s + AK_I}. \quad (6)$$

由式(6)可以看出,该算法为二阶闭环跟踪系统,带宽以及阻尼系数与 PI 调节器的参数有关。因此,可以根据系统要求,调节 PI 参数使跟踪算法达到最佳状态。由于二阶系统具有低通滤波特性,可以有效地抑制高频干扰对角度检测精度

的影响. 另外,算法中仅用到正、余弦函数和乘法运算,有效地避免了繁琐的反正切及除法运算.

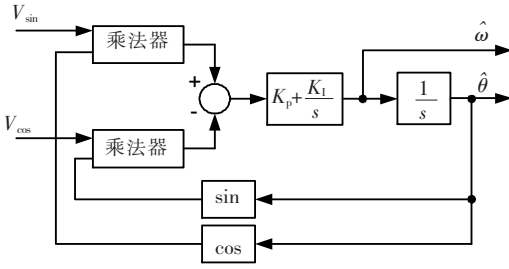


图 3 基于 PLL 的角度闭环跟踪算法

3 基于 FPGA 的轴角 - 数字变换器

基于 FPGA 的全数字轴角 - 数字变换器结构如图 4 所示,其中激磁信号由 FPGA 中的正弦波发生器产生,经过 ΔΣ 调制转换为 1 位数据流,输出到外围驱动电路,经过滤波放大后作为旋转变压器激磁信号. 正余弦反馈信号的采样由双通道 AD 转换芯片 ADS7861 完成,通过同步采样可以进一步提高角度转化精度,采样脉冲由正弦波发生器发出,根据驱动电路和旋转变压器引入的相位滞后确定采样时刻,以确保在正余弦信号的峰值进行采样.

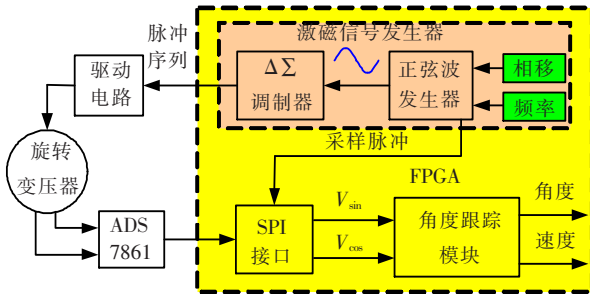


图 4 基于 FPGA 的全数字轴角 - 数字变换器

3.1 激磁信号发生器

根据旋转变压器变比及工作频率的不同,要求激磁信号的频率及幅值均连续可调,激磁信号发生器主要有硬件和软件两种实现方式. 其中硬件方式的激磁信号峰值采样点很难准确确定,不便于数字化,另外频率波动也会增加解调算法的动态误差. 软件方式一般采用专用 DAC^[5]或数字 PWM 的方法^[6],使用专用 DAC 芯片会增加系统成本,不利于实现低成本化. 而数字 PWM 的调制频率一般不会高于 100 kHz,相对于 20 kHz 的激磁频率是比较低的. 因此,本文设计了适合 FPGA 实现的基于 ΔΣ 调制器的激磁信号发生器,ΔΣ 调制器的逻辑结构图如图 5 所示,使用很少的 FPGA 硬件逻辑资源即可将 12 位数字量调制为 1 位数据流^[10]. 数据流的更新率为系统时钟,这里为

25 MHz,远高于激磁信号频率,外围滤波电路的截止频率可以设置为 200 kHz 以上,在滤除谐波的同时不会造成太大的相位滞后.

激磁信号发生器包括正弦波发生器和 ΔΣ 调制器两部分,正弦波由存储于 FPGA 块 RAM 中的正弦表产生,采用查表的方式可以节省有限的逻辑资源,通过频率寄存器设定激磁信号的频率. 另外,激磁信号发生器同时输出采样脉冲信号,以控制采样电路. 采样脉冲时刻由相移寄存器设定,以补偿旋变本身和激磁电路带来的相位滞后,如图 4 所示.

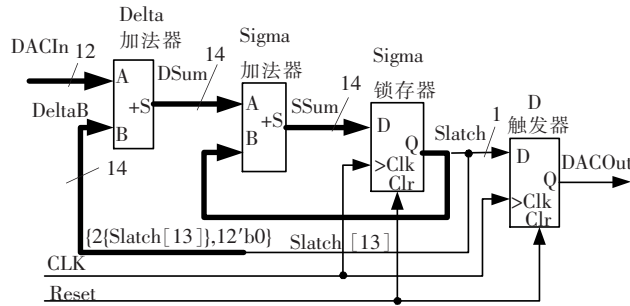


图 5 ΔΣ 调制器逻辑结构图

3.2 正、余弦信号峰值采样

交流伺服系统中,IGBT 等功率器件的开关动作会造成大量的电磁干扰(EMI). 因此,在进行正、余弦信号采样时,需要优化控制采样电路的时序,并进行滤波处理. 根据旋转变压器的实际特性,设置相移寄存器使采样脉冲发生在正、余弦信号的峰值时刻,并在每个采样点连续进行 3 次平均采样,减少电磁干扰的影响,时序逻辑如图 6 所示.

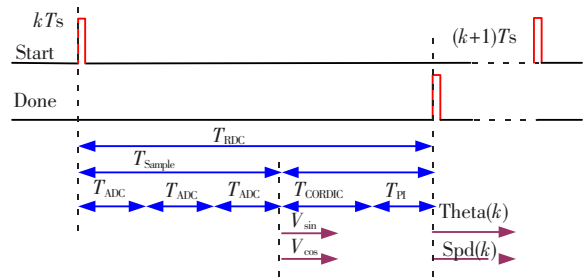


图 6 数字 RDC 采样及解调时序图

3.3 基于数字 PLL 的解调算法

数字锁相环主要由鉴相器和 PI 调节器两部分组成. 由式(5)可知,图 3 中数字鉴相器与 Park 变换中 Iq 的计算相同,因此可以通过复用电流环中 Park 变换模块来求取误差 e,以节省 FPGA 硬件资源.

在 Park 变换中,需要用到三角函数的计算. CORDIC 算法具有结构简单、速度快、精度高等特

点,运算过程中只有移位和加减运算,更容易在可编程逻辑器件中实现,且占用资源较少,是真正意义上的数字化计算. 统一的迭代公式为

$$\begin{cases} x_{i+1} = x_i - \delta_i \cdot y_i \cdot 2^{-i}, \\ y_{i+1} = y_i + \delta_i \cdot x_i \cdot 2^{-i}, \\ z_{i+1} = z_i + \delta_i \cdot \arctan(2^{-i}). \end{cases} \quad (7)$$

其中: $i = 1, 2, \dots$; 当 $z_i > 0$ 时, $\delta_i = 1$, 否则 $\delta_i = -1$.

令 $x_0 = -\delta_0 \cdot Y_{in}, y_0 = \delta_0 \cdot X_{in}, z_0 = Z_{in} - \delta_0 \cdot \pi/2$. 当 $Z_{in} \geq 0$ 时, $\delta_0 = 1$, 否则 $\delta_0 = -1$. Z_{in} 为输入的旋转角度 θ , 经过 n 次迭代后, 则

$$\begin{cases} x_n = x_0 \cdot \cos z_0 - y_0 \cdot \sin z_0, \\ y_n = y_0 \cdot \sin z_0 + x_0 \cdot \cos z_0, \\ z_n \rightarrow 0. \end{cases} \quad (8)$$

令 $\theta = \hat{\theta}, X_{in} = V_{\sin}, Y_{in} = V_{\cos}$, 则 $x_n = e$. CORDIC 算法只包含移位和加法运算, 而且可以复用移位器与加法器, 节省逻辑单元资源, 非常有利于系统的集成.

经过双线性变换后的数字 PI 调节器迭代公式可表示为

$$P(k) = P(k) + I(k) = K_p e(k) + I(k-1) + K_i [e(k) + e(k-1)]. \quad (9)$$

其中: K_p 为比例增益, K_i 为积分增益, $e(k)$ 为误差输入.

为了防止寄存器溢出, 调节器设置了饱和和限幅. 采用积分分离的方法设计 PI 调节器, 可以在积分器输出达到饱和时关闭积分环节, 从而实现快速去饱和, 减小调节器的超调. 根据不同的实际场合, 调节 K_p 和 K_i 两个参数, 以控制角度跟踪系统的带宽, 在抑制干扰的同时, 保证较小的相位滞后, 使跟踪系统最优化. 文献[11]中给出了 CORDIC 算法和 PI 调节器在 FPGA 中的数字实现方法.

4 实验结果及分析

根据以上提出的全数字轴角变换算法, 使用 Verilog 硬件描述语言编写了激磁信号发生器、采样时序控制器、CORDIC 鉴相器、PI 调节器等 IP 软核. 在 Xilinx 公司 XC3S400 型号 FPGA 实验平台上进行了实验验证, 各模块所占资源如表 1 所示, 共约占整个 FPGA 资源的 13%.

图 7 为强 EMI 环境下, 正弦绕组反馈信号波形以及 FPGA 采样滤波后得到的正弦信号经过 DA 输出的波形.

表 1 数字 RDC 各模块占用逻辑资源

功能模块	Slices	BRAM	LUT
激磁发生模块	36	1	44
采样时序控制	20	0	10
ADS7861 模块	31	0	26
CORDIC 模块	157	0	308
PI 模块	225	0	392

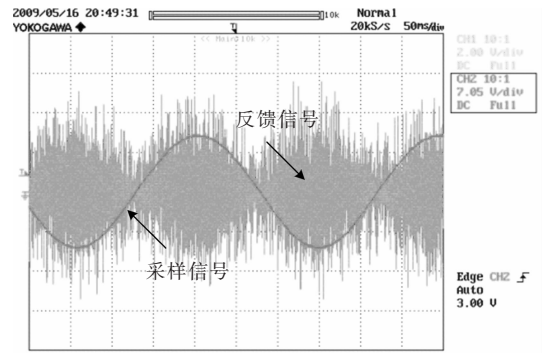


图 7 反馈信号采样波形

为验证数字 RDC 的动静态特性, 使用与旋转变压器同轴安装的 2 500 线增量码盘做对比实验. 图 8 和图 9 分别给出了 1 200 r/min 稳速运行及 6 000 r/(min · s) 加速运行时, 由码盘和数字 RDC 得到的角位置波形. 稳态下, 数字 RDC 可以很好地跟踪实际角位置, 最大误差为 0.01 rad. 动态下, 数字 RDC 解算角度值启动时略有滞后, 但能很快稳定到实际角度值.

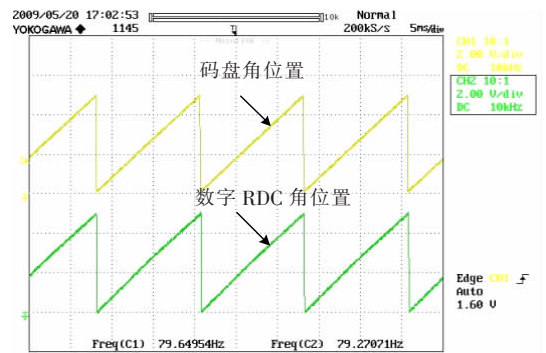


图 8 1 200 r/min 稳速运行时角位置对比

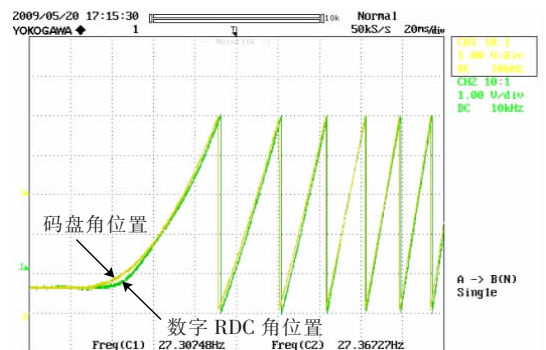


图 9 6 000 r/(min · s) 加速运行时角位置对比

5 结 论

1) 提出一种基于 FPGA 的全数字 RDC 解调算法,使用 $\Delta\Sigma$ 调制技术可以减小正弦激磁信号的失真度和相位滞后.

2) 通过采样时序优化控制和滤波处理,可以保证在强 EMI 环境下,能准确地获取反馈信号.

3) 基于数字 PLL 的闭环角度跟踪器,通过与电流环复用的 CORDIC 模块和数字 PI 调节器模块,可实现快速角度跟踪,并节省 FPGA 硬件逻辑资源.

4) 全数字轴角变换算法中各模块均由 Verilog HDL 编写为 IP 软核,并实现参数化,可以根据不同的应用场合进行优化调整,IP 软核的形式有助于算法移植与系统集成.

5) 实验结果表明全数字轴角变换算法占用较少的硬件逻辑资源,实现了低成本、高性能、高集成度的轴角变换.

参考文献:

- [1] BEN-BRAHIM L, BENAMMAR M, ALHAMADI M A, *et al.* A new low cost linear resolver converter [J]. IEEE Sensors Journal, 2008, 8(10): 1620 - 1627.
- [2] 崔玥, 卢彤, 陆永平, 等. 单片轴角数字转换器 (RDC) 及其精度校验 [J]. 哈尔滨工业大学学报, 1994, 26(4): 61 - 65.
- [3] 杨贵杰, 崔乃政, 孙力, 等. 一体化跟踪型测角系统的误差分析 [J]. 哈尔滨工业大学学报, 2003, 35(6): 703 - 706.
- [4] ATTAIANESE C, TOMASSO G. Position measurement in industrial drives by means of low-cost resolver-to-digital converter [J]. IEEE Transactions on Instrumentation and Measurement, 2007, 56(6): 2155 - 2159.
- [5] SARMA S, AGRAWAL V K, UDUPA S. Software-based resolver-to-digital conversion using a DSP [J]. IEEE Transactions on Industrial Electronics, 2008, 55(1): 371 - 379.
- [6] SARMA S, AGRAWAL V K, UDUPA S, *et al.* Instantaneous angular position and speed measurement using a DSP based resolver-to-digital converter [J]. Measurement, 2008, 41(7): 788 - 796.
- [7] RODRIGUEZ-ANDINA J J, MOURE M J, VALDES M D. Features, design tools, and application domains of FPGAs [J]. IEEE Transactions on Industrial Electronics, 2007, 54(4): 1810 - 1823.
- [8] MONMASSON E, CIRSTEAN M N. FPGA design methodology for industrial control systems —— A review [J]. IEEE Transactions on Industrial Electronics, 2007, 54(4): 1824 - 1842.
- [9] 刘柏林, 廖勇, 何志明. 基于 FPGA 的旋转变压器解码算法研究与系统设计 [J]. 微电机, 2007, 40(12): 48 - 51.
- [10] LOGUE J. Virtex™ synthesizable delta-sigma DAC [R]. US: Xilinx Corporation, 1999.
- [11] 赵品志, 崔乃政, 刘亚静, 等. 基于 FPGA 的单芯片交流伺服驱动系统 [J]. 哈尔滨工业大学学报, 2008, 40(3): 428 - 431.

(编辑 魏希柱)